

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月25日
Date of Application:

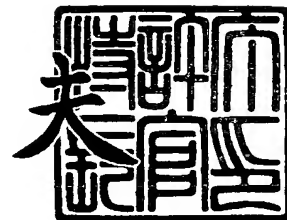
出願番号 特願2002-373882
Application Number:
[ST. 10/C]: [JP 2002-373882]

出願人 株式会社沖データ
Applicant(s): 株式会社沖デジタルイメージング

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 MA901323

【提出日】 平成14年12月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 荻原 光彦

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 藤原 博之

【発明者】

 【住所又は居所】 東京都港区芝浦 4 丁目 1 1 番 1 7 号 株式会社イー・イ
 ー・ジィ内

 【氏名】 佐久田 昌明

【発明者】

 【住所又は居所】 東京都港区芝浦 4 丁目 1 1 番 1 7 号 株式会社イー・イ
 ー・ジィ内

 【氏名】 安孫子 一松

【特許出願人】

 【識別番号】 591044164

 【氏名又は名称】 株式会社沖データ

 【代表者】 河井 正彦

【特許出願人】

 【識別番号】 500002571

 【氏名又は名称】 株式会社沖デジタルイメージング

 【代表者】 菊地 曠

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9407118

【包括委任状番号】 0104055

【包括委任状番号】 0010218

【包括委任状番号】 0104054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板と、
前記基板上に備えられ、半導体を主材料とする接着層と、
半導体素子を含み、前記接着層上にボンディングされた半導体薄膜と
を有することを特徴とする半導体装置。

【請求項 2】 前記基板が、集積回路を含む半導体基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記基板と前記接着層との間に、第 1 の層間絶縁膜を介在させたことを特徴とする請求項 1 又は 2 のいずれかに記載の半導体装置。

【請求項 4】 前記第 1 の層間絶縁膜が、酸化けい素膜及び窒化けい素膜の内の少なくとも一方を含む単層又は多層構造であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体薄膜が、前記集積回路が形成された領域に隣接する領域上に備えられたことを特徴とする請求項 1 から 4 までのいずれかに記載の半導体装置。

【請求項 6】 前記半導体薄膜が、前記集積回路が形成された領域上に備えられたことを特徴とする請求項 3 又は 4 のいずれかに記載の半導体装置。

【請求項 7】 前記基板が、絶縁体基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記絶縁体基板が、ガラス、樹脂、セラミックの内のいずれかの材料で構成されたことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記絶縁体基板上に、集積回路が備えられたことを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置。

【請求項 10】 前記接着層と前記半導体薄膜との間に導電性材料で構成された導通層を介在させたことを特徴とする請求項 1 から 9 までのいずれかに記載の半導体装置。

【請求項 11】 前記接着層が、多結晶シリコン層又はアモルファスシリコ

ンのいずれかであることを特徴とする請求項 1 から 10 までのいずれかに記載の半導体装置。

【請求項 12】 前記半導体薄膜上から前記集積回路上に至る領域に形成され、前記半導体素子と前記集積回路とを電氣的に接続する薄膜の個別配線層を有することを特徴とする請求項 2 から 11 までのいずれかに記載の半導体装置。

【請求項 13】 前記個別配線層を前記半導体薄膜及び前記基板の一部から電氣的に絶縁する第 2 の層間絶縁膜を有することを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】 前記第 2 の層間絶縁膜が、酸化けい素膜及び窒化けい素膜の内の少なくとも一方を含む単層又は多層構造であることを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】 前記第 1 の層間絶縁膜上に、前記個別配線層に接続された電極パッドを備えたことを特徴とする請求項 12 から 14 までのいずれかに記載の半導体装置。

【請求項 16】 前記半導体薄膜が、化合物半導体薄膜であることを特徴とする請求項 1 から 15 までのいずれかに記載の半導体装置。

【請求項 17】 前記半導体素子が、発光素子、受光素子、ホール素子、及びピエゾ素子の内のいずれかの素子であることを特徴とする請求項 1 から 16 までのいずれかに記載の半導体装置。

【請求項 18】 前記半導体薄膜に、前記半導体素子が等ピッチで複数個配列されていることを特徴とする請求項 1 から 17 までのいずれかに記載の半導体装置。

【請求項 19】 前記半導体薄膜に、前記半導体素子が 1 個備えられていることを特徴とする請求項 1 から 17 までのいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、電子写真式プリンタに使用される LED プリントヘッドのような半導体装置に関する。

【0002】

【従来の技術】

図22は、従来のLEDプリントヘッド900の一部を概略的に示す斜視図であり、図22は、図23のLEDプリントヘッドに備えることができるLEDアレイチップの一例を概略的に示す平面図である。図示されたLEDプリントヘッド900は、基板901上に備えられたLEDアレイチップ902の電極パッド903と、基板901上に備えられた駆動ICチップ904の電極パッド905とをボンディングワイヤ906で接続した構造を持つ。

【0003】

また、下記の特許文献1には、薄膜構造の発光素子が開示されている。

【0004】

【特許文献1】

特開平10-063807号公報（図3から図6まで、図8、段落0021）

【0005】

【発明が解決しようとする課題】

しかしながら、図22及び図23に示されたLEDプリントヘッド900では、LEDアレイチップ902と駆動ICチップ904とをボンディングワイヤ906によって接続していたので、LEDアレイチップ902と駆動ICチップ904のそれぞれにワイヤボンド用の大きな（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ ）電極パッド903及び905を設ける必要があった。このため、LEDアレイチップ902及び駆動ICチップ904の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。

【0006】

また、LEDアレイチップ902において発光部907として機能する領域は、表面から $5\mu\text{m}$ 程度の深さの領域である。しかし、図22及び図23に示されたLEDプリントヘッド900では、安定したワイヤボンドの歩留まりを確保するために、LEDアレイチップ902の厚さは駆動ICチップ904の厚さ（例えば、 $250\mu\text{m} \sim 300\mu\text{m}$ ）と同程度にする必要があった。このため、LEDプリントヘッド900においては、LEDアレイチップ902の材料コストを

削減することが困難であった。

【0007】

さらにまた、特許文献1には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献1の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

【0008】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明に係る半導体装置は、基板と、前記基板上に備えられ、半導体を主材料とする接着層と、半導体素子を含み、前記接着層上にボンディングされた半導体薄膜とを有する。

【0010】

【発明の実施の形態】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るLED／駆動IC複合チップ100を概略的に示す平面図であり、図2は、図1のA₂部を拡大して示す平面図である。また、図3は、図2のA₃部を概略的に示す斜視図であり、図4は、図2をS₄－S₄線で切る面を概略的に示す断面図である。

【0011】

図1から図4までに示されるように、第1の実施形態に係るLED／駆動IC複合チップ100は、集積回路102を含むシリコン（Si）基板101と、このSi基板101上に形成された第1の層間絶縁膜103と、この第1の層間絶縁膜103上に形成され、半導体材料を主材料とする接着層104と、この接着層104上に形成された導通層105とを有する。また、LED／駆動IC複合

チップ100は、導通層105上に貼り付けられた（ボンディングされた）シート状の半導体薄膜である複数のエピタキシャルフィルム（以下「LEDエピフィルム」と言う。）106と、LEDエピフィルム106上から集積回路102の個別端子領域108上に至る領域に形成され、LEDエピフィルム106と集積回路102とを電氣的に接続する薄膜の個別配線層107とを有する。また、個別配線層107と導通層105との間及び個別配線層107と接着層104との間等のように絶縁が必要な箇所には、個別配線層107をLEDエピフィルム106及びSi基板101の一部から電氣的に絶縁する第2の層間絶縁膜109（図4にのみ示す）が備えられている。

【0012】

LEDエピフィルム106のそれぞれは、1個のLED（発光部）として機能するように適宜半導体層を積層した構造を有し、例えば、ヘテロエピタキシャル層構造とすることができる。図1から図3までに示されるように、複数のLEDエピフィルム106は、等ピッチで1列に配列されている。ただし、複数のLEDエピフィルム106の配列は等ピッチに限定されない。また、複数のLEDエピフィルム106の列数も1列に限定されず、例えば、複数のLEDエピフィルム106の配列を、配列方向に直交する方向に規則的にずらしてもよい。また、LEDエピフィルム106の数は図示の個数に限定されない。LEDエピフィルム106の幅は、電極パッドを有する従来のLEDプリントヘッドの基板の幅（通常、400 μ m程度）よりも非常に小さい幅とすることができる。

【0013】

LEDエピフィルム106の厚さは、LEDの安定した特性（例えば、発光特性や電気特性）を確保するために十分な厚さである2 μ m程度とすることができる。このLEDエピフィルム106の厚さは、電極パッドを有する従来のLEDプリントヘッドの厚さ（通常、300 μ m程度）よりも非常に薄い厚さである。また、LEDエピフィルム106の厚さが厚くなると、個別配線層107に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LEDエピフィルム106の厚さを、約10 μ m以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化する等の方策を講ずる

ことによって、LEDエピフィルム106の厚さを $10\mu\text{m}$ を超える厚さにすることもできる。

【0014】

Si基板101は、集積回路102が作り込まれたモノリシックSi基板である。Si基板101の集積回路102には、複数のLEDを駆動させるための複数の駆動IC（駆動IC群）が含まれる。複数の駆動ICは、例えば、複数のLEDエピフィルム106のそれぞれに対向するように、配置されている。ただし、集積回路102には、複数の駆動ICの他に、LEDの点灯制御に共通に使用される回路も含まれる。Si基板101の厚さは、例えば、約 $300\mu\text{m}$ である。駆動IC群は、外部から送られて来た発光制御データに基づいてLEDの点灯・非点灯を制御する。

【0015】

第1の層間絶縁膜103は、例えば、酸化けい素（ SiO_2 ）膜及び窒化けい素（ Si_3N_4 ）膜の内の少なくとも一方を含む単層又は多層構造とすることができる。第1の層間絶縁膜103は、LEDエピフィルム106を正常に動作させるために、Si基板101表面とLEDエピフィルム106とを電氣的に絶縁する機能を担う。第1の層間絶縁膜103は、Si基板101表面の集積回路102が形成されている領域に隣接した、集積回路102が形成されていない領域上に形成されている。

【0016】

接着層104は、多結晶シリコン層又はアモルファスシリコン層等の半導体層である。接着層104は、例えば、化学的気相成長法（CVD法）により形成される。接着層104は第1の層間絶縁膜103との間に高い親和性を持つので、接着層104と第1の層間絶縁膜103との間に高い密着強度を持たせることができる。

【0017】

導通層105は、例えば、金やパラジウム等を材料とするメタル層とすることができる。接着層104は導通層105との間に高い親和性を持つので、接着層104と導通層105との間に高い密着強度を持たせることができる。導通層1

05の表面にはLEDエピフィルム106が貼り付けられている。導通層105は、その上に貼り付けられたLEDエピフィルム106を固定する機能と、LEDエピフィルム106の下面の共通端子領域（図示せず）とSi基板101の共通端子領域（例えば、グランド電位）とを電氣的に接続する機能とを持つ。導通層105とLEDエピフィルム106内の共通端子領域との間には、オーミックコンタクトが形成されることが望ましい。導通層105と、Si基板101の共通端子領域（例えば、グランド電位）との電氣的接続は、配線（図示せず）又は第1の層間絶縁膜103に設けられた開口部（図示せず）等を通して行うことができる。ここで、LEDエピフィルム106内の共通端子領域とは、導通層105と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、図4に示されるn型GaAs層111の共通電位側（n電極側）となる表面全面を意味する。また、Si基板101の共通端子領域とは、導通層105と接するSi基板の表面領域を示しており、本実施形態で具体的に述べれば、LEDを駆動するための共通電位側（n電極側）となる領域を意味する。なお、導通層105の厚さは、例えば、約100nm（=0.1 μ m）である。

【0018】

LEDエピフィルム106は、図4に示されるように、n型GaAs層111と、n型 $Al_xGa_{1-x}As$ 層112（ $0 \leq x \leq 1$ ）と、p型 $Al_yGa_{1-y}As$ 層113（ $0 \leq y \leq 1$ ）と、p型 $Al_zGa_{1-z}As$ 層114（ $0 \leq z \leq 1$ ）と、p型GaAs層115とを順に積層させた構造を持つ。p型GaAs層115上には第2の層間絶縁膜109が形成されている。また、第2の層間絶縁膜109の開口部109a内において、p型GaAs層115上には個別配線層107が形成されている。なお、GaAs層111及び $Al_xGa_{1-x}As$ 層112をp型とし、 $Al_yGa_{1-y}As$ 層113、 $Al_zGa_{1-z}As$ 層114、及びGaAs層115をn型としてもよい。また、GaAs層111の厚さは、約10nm（=約0.01 μ m）であり、 $Al_xGa_{1-x}As$ 層112の厚さは、約0.5 μ mであり、 $Al_yGa_{1-y}As$ 層113の厚さは、約1 μ mであり、 $Al_zGa_{1-z}As$ 層114の厚さは、約0.5 μ mであり、GaAs層115の厚さは、約10nm（=約0.01 μ m）である。この場合

には、LEDエピフィルム106の厚さは、約 $2.02\mu\text{m}$ となる。ただし、各層の厚さは、上記値に限定されない。また、上記各層のAl組成は、 $x > y$ 且つ $z > y$ (例えば、 $x = z = 0.4$ 、 $y = 0.1$) とすることができる。また、LEDエピフィルム106の材料として、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (ここで、 $0 \leq x \leq 1$ 且つ $0 \leq y \leq 1$ である。)、GaN、AlGaIn、InGaIn等の他の材料を用いてもよい。

【0019】

個別配線層107は、LEDエピフィルム106の発光部上面と、Si基板101の集積回路102の個別端子領域108とのそれぞれを電氣的に接続する。個別配線層107は、例えば、薄膜のメタル配線である。個別配線層107は、①金を含む単層又は積層のメタル層、例えば、金で構成された層(Au層)、チタンと白金と金の積層層(Ti/Pt/Au積層層)、金と亜鉛の積層層(Au/Zn積層層)、金・ゲルマニウム・ニッケルを含む層と金層との積層層(AuGeNi/Au積層層)、②パラジウムを含む単層又は積層のメタル層、例えば、パラジウムで構成された層(Pd層)、パラジウムと金の積層層(Pd/Au積層層)、③アルミニウムを含む単層又は積層のメタル層、例えば、アルミニウムで構成された層(Al層)、アルミニウムとニッケルの積層層(Al/Ni積層層)、④ポリシリコンで構成された層、⑤ITOやZnO等の導電性酸化物薄膜等とすることができる。また、個別配線層107においては、素子とのコンタクト部分の材料と、配線領域の材料とを別の材料で構成してもよい。その場合には、上記メタル材料や導電性酸化物材料を適宜組み合わせて使用することができる。個別配線層107は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層107は、薄膜配線であるので、配線が長くなれば配線における電圧降下の影響が大きくなる。個別配線層107の幅が $5\mu\text{m}$ であり、厚さが $0.5\mu\text{m}$ であり、数mAの駆動電流を流す場合には、個別配線層107の長さは、約 $200\mu\text{m}$ 以下にすることが望ましい。

【0020】

また、個別配線層107とLEDエピフィルム106の表面及び側面との間、個別配線層107と導通層105との間、個別配線層107と接着層104との

間、個別配線層 107 と Si 基板 101 の表面との間等のように電氣的にショートしてはならない領域には、第 2 の層間絶縁膜 109 (図 4 に示す) が設けられ、正常な動作を確保できる構造になっている。第 2 の層間絶縁膜 109 は、例えば、酸化けい素 (SiO_2) 膜及び窒化けい素 (Si_3N_4) 膜の内の少なくとも一方を含む単層又は多層構造とすることができる。第 2 の層間絶縁膜 109 の形成に際しては、先ず、LED エピフィルム 106 を含む基板 101 全域に CVD 法等を用いて絶縁膜を形成し、フォトリソグラフィ技術を用いて LED エピフィルム 106 上及び集積回路 102 の個別端子領域 108 上にスルーホールを形成する。次に、金属層を全面に形成し、フォトリソグラフィ技術により金属層をパターニングすることにより、複数の LED エピフィルム 106 と集積回路 102 の個別端子領域 108 とを接続する複数の個別配線層 109 を一度に形成することができる。

【0021】

次に、LED エピフィルム 106 の製造プロセスを説明する。図 5 及び図 6 は、LED エピフィルム 106 の製造プロセスを概略的に示す断面図である。

【0022】

LED エピタキシャル層 106a (剥離される前は「LED エピタキシャル層 106a」と記載し、剥離された後は「LED エピフィルム 106」と記載する。) の製造は、有機金属化学蒸着法 (MOCVD 法) や分子線エピタキシー法 (MBE 法) 等によって行うことができる。LED エピタキシャル層 106a の製造に際しては、図 5 に示されるように、GaAs 基板 121 上に、GaAs バッファ層 122、(AlGa) InP エッチングストップ層 123、及び AlAs 剥離層 124 を順に成膜する。次に、AlAs 剥離層 124 上に、GaAs コンタクト層 111 (n 型 GaAs 層 111)、AlGaAs 下クラッド層 112 (n 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層 112)、AlGaAs 活性層 113 (p 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層 113)、及び AlGaAs 上クラッド層 114 (p 型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層 114)、GaAs コンタクト層 115 (p 型 GaAs 層 115) を順に成膜する。LED エピタキシャル層 106a の剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングストップ層 123 を省く

こともできる。

【0023】

次に、図6に示されるように、10%HF（弗化水素）液により、AlAs剥離層124を選択的に除去する。HF液のAlAs剥離層124に対するエッチング速度は、AlGaAs層112～114、GaAs層111, 115, 121, 122、及びエッチングストップ層123に対するエッチング速度に比べ格段に大きいので、AlAs剥離層124を選択的にエッチングすることができる。これにより、LEDエピフィルム106を、LEDエピフィルム製造用基板120から剥がすことが可能になる。このためには、図6に示されるように、各エピタキシャル層111～115をエッチングし、溝125を形成しておく。溝125の形成は、溝形成領域レジスト等によりマスクをしておき、燐酸過水によりエッチングするフォトリソグラフィ工程により行う。燐酸過水は、AlGaAs層112～114、GaAs層111, 115, 121, 122は、エッチングするが、(AlGa)InPエッチングストップ層123に対するエッチング速度が遅いので、上面から溝125をエッチング形成する際に溝が基板121まで到達するのを防止することができる。溝125を形成した後、HF液によりエッチングすることにより、AlAs剥離層124をエッチングし、LEDエピフィルム106を剥離する。なお、図6には、AlAs剥離層124が残されている状態（エッチング途中）が示されているが、LEDエピフィルム106を保持した状態で、AlAs剥離層124は完全に除去される。AlAs剥離層124をエッチング除去した後、エッチング液が残留しないように純水による水洗処理を施す。LEDエピフィルム106の剥離に際して、LEDエピフィルムを支持及び保護する支持体をLEDエピフィルム106上に設けることができる。例えば、LEDエピフィルム106の上に支持体を設けた場合、LEDエピフィルム支持体表面を、例えば、真空吸着や光硬化性粘着シート（光照射により粘着性を失う粘着シート）等により吸着し所定の位置に移動することができる。

【0024】

図7は、第1の実施形態に係るLED／駆動IC複合チップを実装基板上に実装したLEDユニット130を概略的に示す斜視図である。

【0025】

図7に示されるように、LEDユニット130は、COB（Chip On Board）実装基板131と、この実装基板131上に備えられた複数のLED／駆動IC複合チップ100とを有する。複数のLED／駆動IC複合チップ100は、実装基板131上に絶縁ペースト又は導電性ペースト等の接着剤によって等間隔に実装される。複数のLED／駆動IC複合チップ100は、例えば、LEDエピフィルム106（即ち、LED）の配列がLEDユニット130の長手方向の全長にわたって、等ピッチで1列に配列されるように、実装基板131上に配置される。

【0026】

実装基板131には、LED／駆動IC複合チップ100のLEDを点灯制御するために必要な電力や制御信号（点灯データ）をLED／駆動IC複合チップ100の集積回路102（駆動IC群）に提供するための配線パターン（図示せず）及び電極パッド（図示せず）が備えられている。また、LED／駆動IC複合チップ100のSi基板101には、実装基板131から電力や制御信号を受け取るための電極パッド（図示せず）が備えられている。LEDユニット130には、実装基板131の電極パッドとLED／駆動IC複合チップ100のSi基板101上の電極パッドとを電氣的に接続するボンディングワイヤを備えることができる。

【0027】

以上説明したように、第1の実施形態に係るLED／駆動IC複合チップ100によれば、LEDエピフィルム106上にワイヤボンディング用の電極パッドを備える必要がないので、装置の小型化及び材料コストの低減を図ることができる。

【0028】

また、第1の実施形態に係るLED／駆動IC複合チップ100によれば、Si基板101上に貼り付けられたLEDエピフィルム106とSi基板101に形成された集積回路102とをフォトリソグラフィ技術により形成された薄膜の個別配線層107により電氣的に接続しているので、LEDエピフィルム106

の厚さをワイヤボンドに対する強度を考慮して厚くする必要がない。このように、LEDエピフィルム106の厚さを薄くできるので、材料コストの低減を図ることができる。

【0029】

また、第1の実施形態に係るLED／駆動IC複合チップ100によれば、第1の層間絶縁膜103と導通層105との間に、第1の層間絶縁膜103を構成する絶縁体材料及び導通層106を構成する材料（例えば、金属材料）のいずれとも親和性がある多結晶シリコン等から構成される接着層104を介在させている。このため、第1の層間絶縁膜103と導通層105との間の強力な密着性、その結果、第1の層間絶縁膜103とLEDエピフィルム106との強力な密着性を得ることができ、装置の信頼性を確保することができる。

【0030】

<第2の実施形態>

図8は、本発明の第2の実施形態に係る半導体装置であるLED／駆動IC複合チップ200の一部を概略的に示す平面図である。また、図9は、図8をSg-Sg線で切る面を概略的に示す断面図である。

【0031】

図8において、図2（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。図8に示されたLED／駆動IC複合チップ200は、導通層105上に複数個のLED（発光部）206aを含む長尺なLEDエピフィルム206を貼り付けた点が、導通層105上に1個のLEDを含む複数のLEDエピフィルム106を配列した第1の実施形態のLED／駆動IC複合チップ100と相違する。

【0032】

次に、第2の実施形態のLED／駆動IC複合チップ200の断面構造を説明する。図9に示されるように、LED／駆動IC複合チップ200は、Si基板101と、第1の層間絶縁膜103と、多結晶シリコン層又はアモルファスシリコン層等で構成される接着層104と、導通層105と、LEDエピフィルム206と、第2の層間絶縁膜209と、個別配線層207とを順に積層させた構造

を持つ。図9に示されるように、LEDエピフィルム206は、n型GaAs層211と、n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層212 ($0 \leq x \leq 1$) と、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層213 ($0 \leq y \leq 1$) と、n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層214 ($0 \leq z \leq 1$) と、GaAs層215とを順に積層させた構造を持つ。また、GaAs層215の下方のn型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層213及びn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層214にはZn拡散領域216が形成されている。GaAs層215とZn拡散領域216はp型領域となっている。

【0033】

n型GaAs層211の厚さは、約10nm (=約0.01 μm) であり、n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層212の厚さは、約0.5 μm であり、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層213の厚さは、約1 μm であり、n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層214の厚さは、約0.5 μm であり、n型GaAs層215の厚さは、約10nm (=約0.01 μm) である。この場合には、LEDエピフィルム206の厚さは、約2.02 μm となる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィルム104の材料として、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (ここで、 $0 \leq x \leq 1$ 且つ $0 \leq y \leq 1$ である。)、GaN、AlGaN、InGaN等の他の材料を用いてもよい。

【0034】

また、上記各層のAl組成は、 $x > y$ 且つ $z > y$ (例えば、 $x = z = 0.4$ 、 $y = 0.1$) とすることができる。Zn拡散領域216の拡散フロントは、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層213の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層213内、及び、Zn拡散によって $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層213内に形成されたp型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 内に閉じ込められ、高い発光効率が得られる。即ち、図9に示されるような構造を採用することによって、LEDエピフィルム206の厚さを約2 μm と薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてダブルヘテロ型に複数のエピタキシャル層を積層し、そこにZn拡散層による逆導電型不純物拡散領域を形成してホモ接合型としたLEDの製造方法を説明し

たが、シングルヘテロ積層型或いは単層のエピタキシャル層からなるエピタキシャル層に拡散領域を形成したホモ接合型LEDとすることもできる。

【0035】

図10は、第2の実施形態に係るLED／駆動IC複合チップを実装基板上に実装したLEDユニット230を概略的に示す斜視図である。

【0036】

図10に示されるように、LEDユニット230は、実装基板231と、この実装基板231上に備えられた複数のLED／駆動IC複合チップ200とを有する。複数のLED／駆動IC複合チップ200は、実装基板231上に絶縁ペースト又は導電性ペースト等の接着剤によって等間隔に実装される。複数のLED／駆動IC複合チップ200は、例えば、LEDエピフィルム206のLEDの配列がLEDユニット230の長手方向の全長にわたって、等ピッチで1列に配列されるように、実装基板231上に配置される。

【0037】

以上説明したように、第2の実施形態に係るLED／駆動IC複合チップ200によっても、第1の実施形態と同様に、装置の小型化及び材料コストの低減を図ることができる。また、第1の層間絶縁膜103とLEDエピフィルム206との強力な密着性を得ることができ、装置の信頼性を確保することができる。

【0038】

なお、第2の実施形態において、上記以外の点は、上記第1の実施形態の場合と同じである。

【0039】

<第3の実施形態>

図11は、本発明の第3の実施形態に係る半導体装置であるLED／駆動IC複合チップ300の一部を概略的に示す平面図である。

【0040】

第3の実施形態に係るLED／駆動IC複合チップ300は、層間絶縁膜304が基板301のほぼ全面上に設けられた点、層間絶縁膜304上に各LEDに対応する電極パッド308を設けた点、各LED306aと各電極パッド308

とを電氣的に接続する薄膜の個別配線層 307 を備えた点が、上記第 1 又は第 2 の実施形態に係る LED/駆動 IC 複合チップと相違する。また、図 11 に示されるように、第 3 の実施形態に係る LED/駆動 IC 複合チップ 300 は、層間絶縁膜 303 上に形成された接着層 304 と、この接着層 305 上に形成された導通層 305 と、複数の LED 306a を含み、導通層 305 上に貼り付けられた（ボンディングされた）シート状の半導体薄膜である複数の LED エピフィルム 306 とを有する。電極パッド 308 は、駆動 IC 等との電氣的な接続、例えば、フリップチップボンディングやワイヤボンディング等を行うためのパッドである。さらに、個別配線層 307 と導通層 305 との間及び個別配線層 307 と接着層 304 との間等のように絶縁が必要な箇所には他の層間絶縁膜（図示せず）が備えられている。

【0041】

なお、第 3 の実施形態において、上記以外の点は、第 1 又は第 2 の実施形態の場合と同じである。

【0042】

<第 4 の実施形態>

図 12 は、本発明の第 4 の実施形態に係る半導体装置である LED/駆動 IC 複合チップ 400 の一部を概略的に示す断面図である。

【0043】

第 4 の実施形態に係る LED/駆動 IC 複合チップ 400 は、LED エピフィルム 406 が Si 基板 401 の集積回路 402 上に備えられている点が、LED エピフィルム 106 が Si 基板 101 の集積回路 102 形成領域に隣接する領域上に備えられている第 1 の実施形態と相違する。図 12 に示されるように、第 4 の実施形態に係る LED/駆動 IC 複合チップ 400 は、集積回路 402 を含む Si 基板 401 と、この Si 基板 401 上のほぼ全域に形成された第 1 の層間絶縁膜 403 とを有する。ここで、第 1 の層間絶縁膜 403 の表面は平坦化处理（例えば、CMP 法による）されている。また、LED/駆動 IC 複合チップ 400 は、第 1 の層間絶縁膜 403 上に形成された接着層 404 と、この接着層 404 上に形成された導通層 405 と、この導通層 405 上に貼り付けられた（ボン

ディングされた) シート状の半導体薄膜であるLEDエピフィルム406とを有する。LEDエピフィルム406は、複数のLEDを有する長尺シート状のもの(第2の実施形態と同様の形態のもの)、及び1個のLEDを有するもの(第1の実施形態と同様の形態のもの)のいずれでもよい。さらに、LED/駆動IC複合チップ400は、上記第1及び第2の実施形態と同様に、第2の層間絶縁膜(図12には示さず)及び個別配線層(図12には示さず)を有する。

【0044】

なお、第4の実施形態において、上記以外の点は、第1から3までの実施形態の場合と同じである。

【0045】

<第5の実施形態>

図13は、本発明の第5の実施形態に係る半導体装置であるLED/駆動IC複合チップ500の一部を概略的に示す斜視図である。図13において、図3の構成と同一又は対応する構成には、同じ符号を付す。

【0046】

第5の実施形態に係るLED/駆動IC複合チップ500は、接着層104とLEDエピフィルム106との間に、導通層105(図3に示される)を備えていない点が、導通層105を備えている第1の実施形態のLED/駆動IC複合チップ100と相違する。第5の実施形態に係るLED/駆動IC複合チップ500によれば、第1の層間絶縁膜103とLEDエピフィルム106との間に、第1の層間絶縁膜103を構成する絶縁体材料及びLEDエピフィルム106を構成する材料(例えば、化合物半導体)のいずれとも親和性がある多結晶シリコン等から構成される接着層104を介在させたので、第1の層間絶縁膜103とLEDエピフィルム106との強力な密着性を得ることができ、装置の信頼性を確保することができる。

【0047】

なお、第5の実施形態において、上記以外の点は、第1から4までの実施形態の場合と同じである。

【0048】

<第6の実施形態>

図14は、本発明の第6の実施形態に係る半導体装置であるLED／駆動IC複合チップ600の一部を概略的に示す斜視図である。図15は、第6の実施形態に係るLED／駆動IC複合チップ600の一部を概略的に示す平面図であり、図16は、図15のA16部を拡大して示す斜視図である。

【0049】

図14から図16までに示されるように、第6の実施形態に係るLED／駆動IC複合チップ600は、絶縁体基板601と、この絶縁体基板601上に形成され、半導体材料を主材料とする複数の接着層604と、複数のLED606aを含み、接着層604上に貼り付けられた（ボンディングされた）シート状の半導体薄膜であるLEDエピフィلم606とを有する。また、LED／駆動IC複合チップ600は、絶縁体基板601上に形成された駆動集積回路602と、LED606a上から絶縁体基板601上を経由して駆動IC群を含む集積回路602上の個別端子領域608上に至る薄膜の個別配線層607（図16に示す）とを有する。個別配線層607の下には、必要に応じて第2の層間絶縁膜（図示せず）が備えられている。

【0050】

絶縁体基板601は、例えば、ガラス基板である。ただし、絶縁体基板601の材料として、樹脂やセラミック等の他の絶縁体を用いてもよい。接着層604は、第1の実施形態における接着層104と同じである。LEDエピフィلم606のそれぞれは、第2の実施形態で説明したLEDエピフィلمと同様の構造を持つ。また、LEDエピフィلم606を第1の実施形態で説明されたものと同様に、1個のLEDを含むLEDエピフィلمとしてもよい。個別配線層607の材質及び形成方法は、第1の実施形態で説明したものと同じである。

【0051】

図17は、第6の実施形態に係るLED／駆動IC複合チップ600の製造プロセスを示す平面図である。図17に示されるように、LED／駆動IC複合チップ600の製造に際しては、分割前のガラス基板601a上に接着層604になる多結晶シリコン層及び集積回路602になる多結晶シリコン層を一括形成す

る。多結晶シリコン層の形成に際しては、例えば、ガラス基板 601a 上の所定領域に、フォトリソグラフィ技術等を用いて、数百 nm 厚の SiO_2 層を形成し、その上に、比較的低い加熱温度の下、CVD 法等を用いて、アモルファス状態のシリコン薄膜を形成する。次に、エキシマ・パルスレーザを照射するなどして、アモルファスシリコンの再結晶化を図り、多結晶シリコン層を得る。多結晶シリコンを主材料とする薄膜トランジスタを使った集積回路 602、即ち、ポリシリコン TFT 駆動回路の製造に際しては、多結晶シリコン層にトランジスタなどの回路要素を含む集積回路パターンを形成する。その後、ガラス基板 601a を、分割予定ライン 610 で切断し、分割されたガラス基板 601 を得る。その後、接着層 604 上への LED エピフィルのボンディング、第 2 の層間絶縁膜の形成、個別配線層の形成等を行う。ここで、ガラス基板 601a を分割された基板 601 に分割する前に、LED エピフィルムをボンディングすることもできる。

【0052】

以上説明したように、第 6 の実施形態に係る LED/駆動 IC 複合チップ 600 によれば、接着層 604 と集積回路 602 とを一括の工程で製造できるので、接着層 604 と集積回路 602 と位置関係を正確に位置決めすることができる。

【0053】

また、ガラス基板 601a 上に、接着層 604 と集積回路 602 とを一括形成できるので、製造コストの大幅な削減が可能になる。

【0054】

なお、第 6 の実施形態において、上記以外の点は、上記第 1 から第 5 までの実施形態の場合と同じである。

【0055】

<第 7 の実施形態>

図 18 は、本発明の第 7 の実施形態に係る半導体装置である LED/駆動 IC 複合チップ 700 の一部を概略的に示す平面図である。また、図 19 は、第 7 の実施形態に係る LED/駆動 IC 複合チップ 700 の製造プロセスを示す平面図である。

【0056】

図18に示されるように、第7の実施形態に係るLED／駆動IC複合チップ700は、絶縁体基板701と、この絶縁体基板701上に形成された、半導体材料を主材料とする接着層704と、接着層704上に形成された導通層705と、複数のLED706aを含み、導通層705上に貼り付けられた（ボンディングされた）シート状の半導体薄膜であるLEDエピフィルム706とを有する。また、LED／駆動IC複合チップ700は、絶縁体基板701上に形成された駆動集積回路702と、LED706a上から絶縁体基板701上を経由して駆動IC群を含む集積回路702上の個別端子領域に至る薄膜の個別配線層（図示せず）とを有する。個別配線層の下には、必要に応じて層間絶縁膜（図示せず）が備えられている。

【0057】

絶縁体基板701、接着層704、導通層705、LEDエピフィルム706、集積回路702、個別配線層、層間絶縁膜の材質及び製造方法は、上記第1から第6までの実施形態の場合と同じである。

【0058】

以上説明したように、第7の実施形態に係るLED／駆動IC複合チップ700によれば、接着層と集積回路とを一括の工程で製造できるので、接着層と集積回路と位置関係を正確に位置決めすることができる。

【0059】

また、絶縁体基板上に、複数の導通層を一括の構成で形成でき、接着層と集積回路とを一括形成できるので、製造コストの大幅な削減が可能になる。

【0060】

<第8の実施形態>

図20は、本発明の第8の実施形態に係る半導体装置であるLED／駆動IC複合チップ800の一部を概略的に示す平面図である。

【0061】

図20に示されるように、第8の実施形態に係るLED／駆動IC複合チップ800は、絶縁体基板801と、この絶縁体基板801上に形成された、半導体

材料を主材料とする複数の接着層 804 と、複数の接着層 804 のそれぞれの上に形成された導通層 805 と、複数の LED 806a を含み、導通層 805 上に貼り付けられた（ボンディングされた）シート状の半導体薄膜である LED エピフィルム 806 とを有する。また、LED/駆動 IC 複合チップ 800 は、絶縁体基板 801 上に形成された駆動集積回路 802 と、LED 806a 上から絶縁体基板 801 上を経由して駆動 IC 群を含む集積回路 802 上の個別端子領域に至る薄膜の個別配線層（図示せず）とを有する。個別配線層の下には、必要に応じて層間絶縁膜（図示せず）が備えられている。

【0062】

絶縁体基板 801、接着層 804、導通層 805、LED エピフィルム 806、集積回路 802、個別配線層、層間絶縁膜の材質及び製造方法は、上記第 1 から第 7 までの実施形態の場合と同じである。

【0063】

以上説明したように、第 8 の実施形態に係る LED/駆動 IC 複合チップ 800 によれば、接着層と集積回路とを一括の工程で製造できるので、接着層と集積回路と位置関係を正確に位置決めすることができる。

【0064】

また、ガラス基板上に、複数の導通層を一括の構成で形成でき、接着層と集積回路とを一括形成できるので、製造コストの大幅な削減が可能になる。

【0065】

<本発明が適用された LED プリントヘッド>

図 21 は、本発明に係る半導体装置を組み込んだ LED プリントヘッド 920 を概略的に示す断面図である。図 21 に示されるように、LED プリントヘッド 920 は、ベース部材 921 と、ベース部材 921 に固定された LED ユニット 922 と、柱状の光学素子を多数配列したロッドレンズアレイ 923 と、ロッドレンズアレイ 923 を保持するホルダ 924 と、これらの構成 921～924 を固定するクランプ 925 とを有する。LED ユニット 922 には、上記実施形態の半導体装置である LED/駆動 IC チップで発生した光はロッドレンズアレイ 923 を通して照射される。LED プリントヘッド 920 は、電子写真プリンタ

や電子写真コピー装置等の露光装置として用いられる。

【0066】

<可能な変形例>

なお、上記実施形態においては、接着層上に導通層を備えた場合を説明したが、導通層は、ポリシリコンや、ITO、ZnO等の導電性酸化物等の金属以外の材料で構成してもよい。

【0067】

また、上記実施形態においては、Si基板上にLEDエピフィルムを貼り付けた場合を説明したが、基板材料には、アモルファスシリコン、単結晶シリコン、ポリシリコンの他、化合物半導体、有機半導体、及び絶縁体材料（ガラスやサファイヤ等）のような他の材料を用いることもできる。

【0068】

また、上記実施形態においては、半導体薄膜に備えられた半導体素子が、LEDである場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びpiezo素子等のような他の素子であってもよい。

【0069】

また、上記実施形態においては、LEDエピフィルムがエピタキシャル層から構成された場合を説明したが、LEDエピフィルムに代えてエピタキシャル層ではない半導体薄膜を採用してもよい。

【0070】

【発明の効果】

以上に説明したように、本発明によれば、基板の端子領域を有する面上に半導体薄膜を貼り付け、これらを薄膜の個別配線層で電氣的に接続する構造を採用したので、半導体装置の小型化及び材料コストの低減を図ることができるという効果がある。

【0071】

また、本発明によれば、第1の層間絶縁膜と導通層との間又は第1の層間絶縁膜と半導体薄膜との間に接着層を介在させたので、第1の層間絶縁膜と導通層との間又は第1の層間絶縁膜と半導体薄膜との間の強力な密着性を得ることができ

、その結果、装置の信頼性を確保することができるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る LED／駆動 IC 複合チップを概略的に示す平面図である。

【図 2】 図 1 の A₂ 部を拡大して示す平面図である。

【図 3】 図 2 の A₃ 部を概略的に示す斜視図である。

【図 4】 図 2 を S₄－S₄ 線で切る面を概略的に示す断面図である。

【図 5】 第 1 の実施形態に係る LED／駆動 IC 複合チップの LED エピフィルムの製造プロセス（その 1）を概略的に示す断面図である。

【図 6】 第 1 の実施形態に係る LED／駆動 IC 複合チップの LED エピフィルムの製造プロセス（その 2）を概略的に示す断面図である。

【図 7】 第 1 の実施形態に係る LED／駆動 IC 複合チップを実装基板上に実装した LED ユニットを概略的に示す斜視図である。

【図 8】 本発明の第 2 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 9】 図 8 を S₉－S₉ 線で切る面を概略的に示す断面図である。

【図 10】 第 2 の実施形態に係る LED／駆動 IC 複合チップを実装基板上に実装した LED ユニットを概略的に示す斜視図である。

【図 11】 本発明の第 3 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 12】 本発明の第 4 の実施形態に係る LED／駆動 IC 複合チップを概略的に示す断面図である。

【図 13】 本発明の第 5 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 14】 本発明の第 6 の実施形態に係る LED／駆動 IC 複合チップを概略的に示す斜視図である。

【図 15】 第 6 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 16】 第 6 の実施形態に係る LED／駆動 IC 複合チップの一部を概

略的に示す斜視図である。

【図 17】 第 6 の実施形態に係る LED／駆動 IC 複合チップの製造プロセスを概略的に示す平面図である。

【図 18】 本発明の第 7 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 19】 第 7 の実施形態に係る LED／駆動 IC 複合チップの製造プロセスを概略的に示す平面図である。

【図 20】 本発明の第 8 の実施形態に係る LED／駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 21】 本発明に係る半導体装置を組み込んだ LED プリントヘッドを概略的に示す断面図である。

【図 22】 従来の LED プリントヘッドの一部を概略的に示す斜視図である。

【図 23】 図 22 の LED プリントヘッドに備えられた LED アレイチップの一部を示す平面図である。

【符号の説明】

100, 200, 300, 400, 500, 600, 700, 800 LED
／駆動 IC 複合チップ、

101, 301, 401, 601, 701 Si 基板、

102, 402, 602 集積回路、

103, 303, 403 第 1 の層間絶縁膜、

104, 304, 404, 604, 704, 804 接着層、

105, 305, 405, 705, 805 導通層、

106, 206, 306, 406, 606, 706, 806 エピタキシャル
フィルム (LED エピフィルム)、

106a 半導体エピタキシャル層、

107, 207, 307, 607 個別配線層、

108 集積回路の個別端子領域、

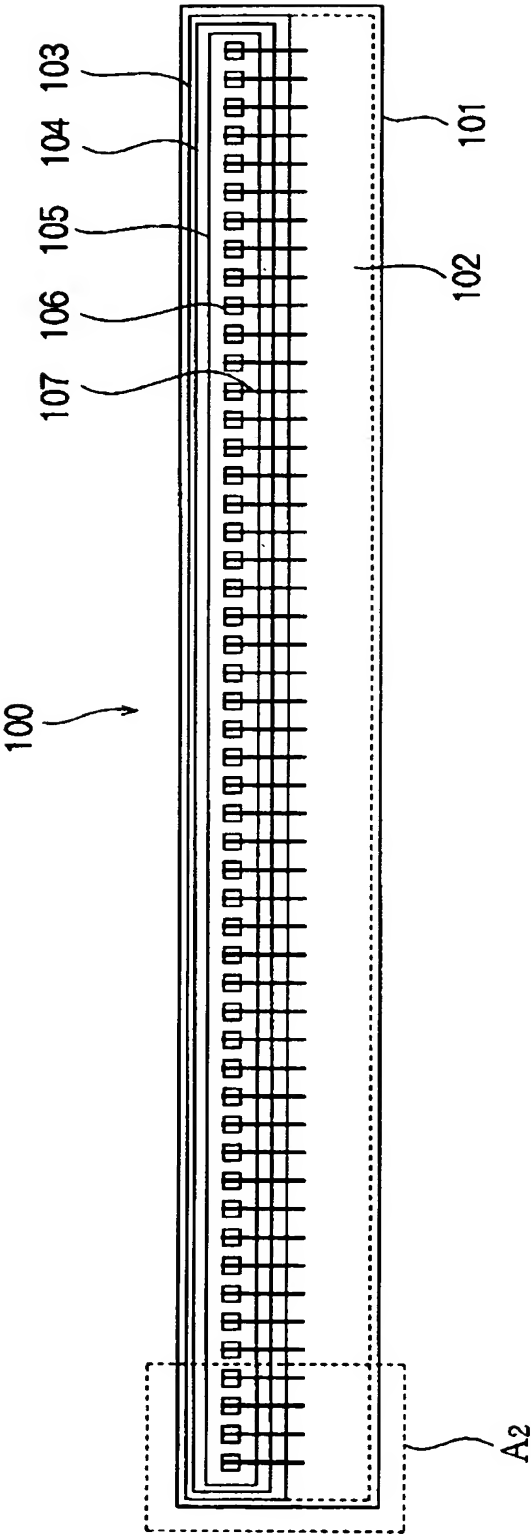
109, 209 第 2 の層間絶縁膜、

- 109a 第2の層間絶縁膜の開口部、
- 111 GaAsコンタクト層 (n型GaAs層)、
- 112 AlGaAs下クラッド層 (n型 $Al_xGa_{1-x}As$ 層)、
- 113 AlGaAs活性層 (p型 $Al_yGa_{1-y}As$ 層)、
- 114 AlGaAs上クラッド層 (p型 $Al_zGa_{1-z}As$ 層)、
- 115 GaAsコンタクト層 (p型GaAs層)、
- 120 LEDエピフィلم形成用基板、
- 121 GaAs基板、
- 122 GaAsバッファ層、
- 123 (AlGa) InPエッチングストップ層、
- 124 AlAs剥離層、
- 125 溝、
- 130, 230 LEDユニット、
- 131, 231 実装基板、
- 206a, 306a LED、
- 211 n型GaAs層、
- 212 n型 $Al_xGa_{1-x}As$ 層、
- 213 n型 $Al_yGa_{1-y}As$ 層、
- 214 n型 $Al_zGa_{1-z}As$ 層、
- 215 n型GaAs層、
- 216 Zn拡散領域、
- 308 電極パッド、
- 601a 絶縁体基板、
- 610 分割予定ライン、
- 701a 分割前のガラス基板、
- 920 LEDプリントヘッド、
- 922 LEDユニット、
- 923 ロッドレンズアレイ。

【書類名】

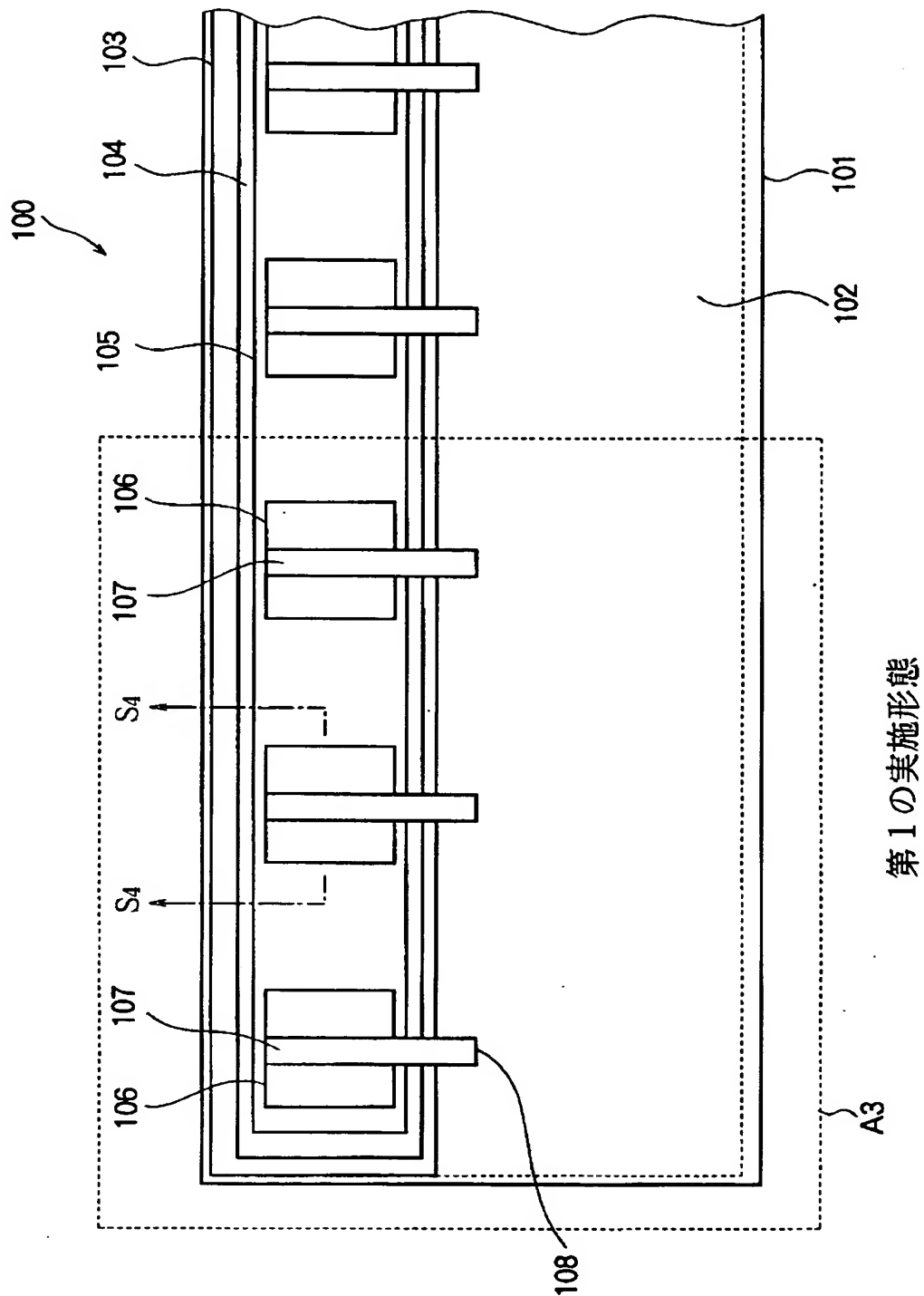
図面

【図 1】

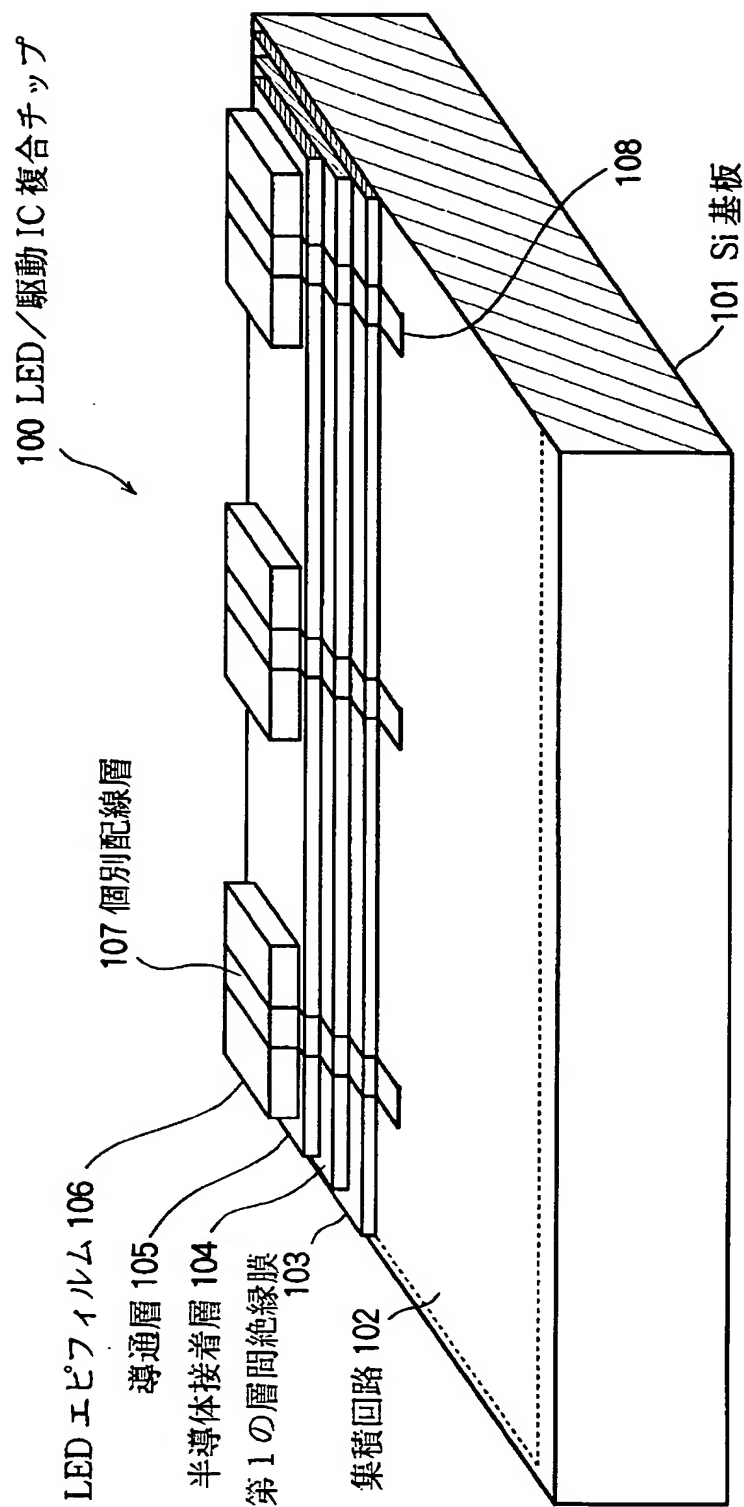


第 1 の実施形態

【図 2】



【図 3】



第 1 の実施形態

【図 4】

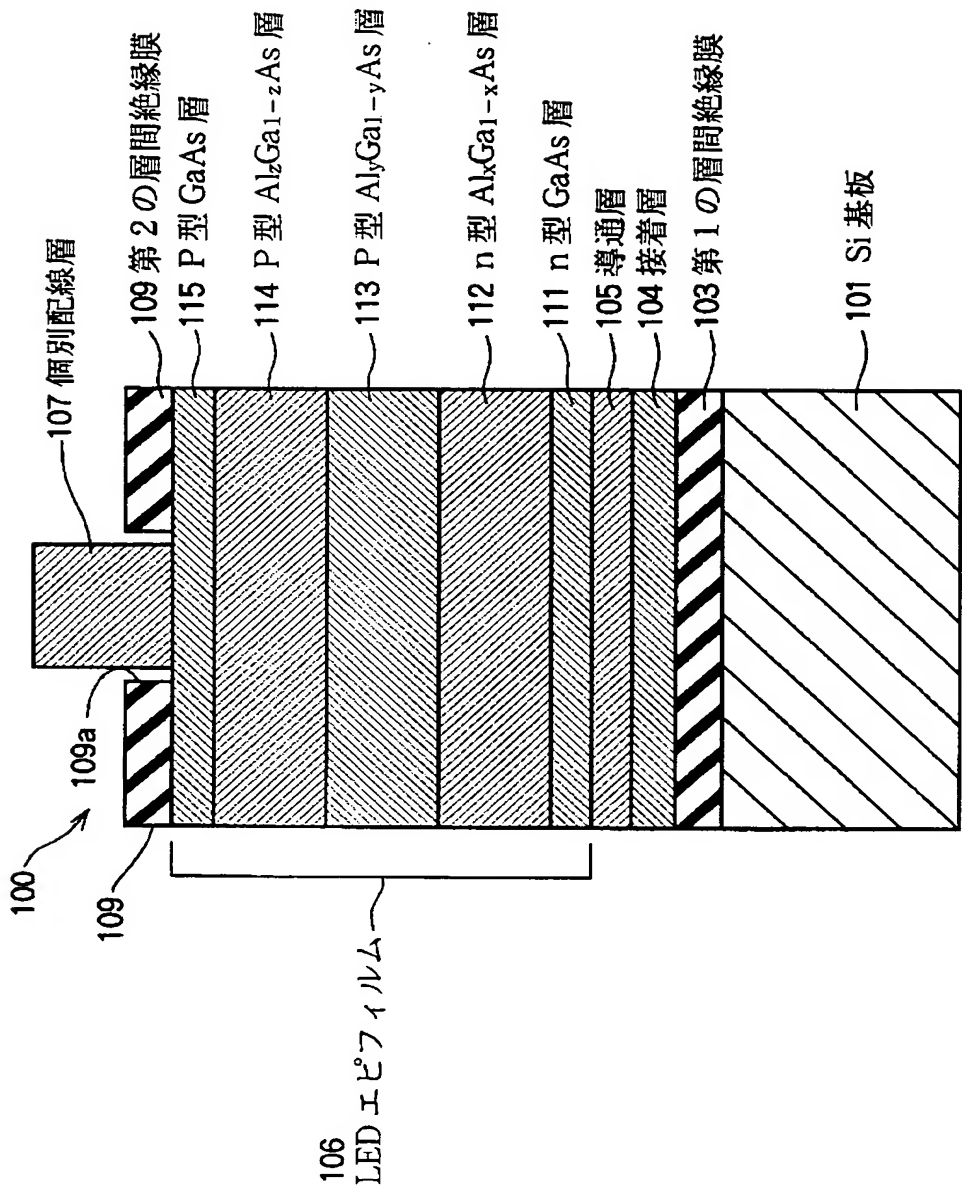
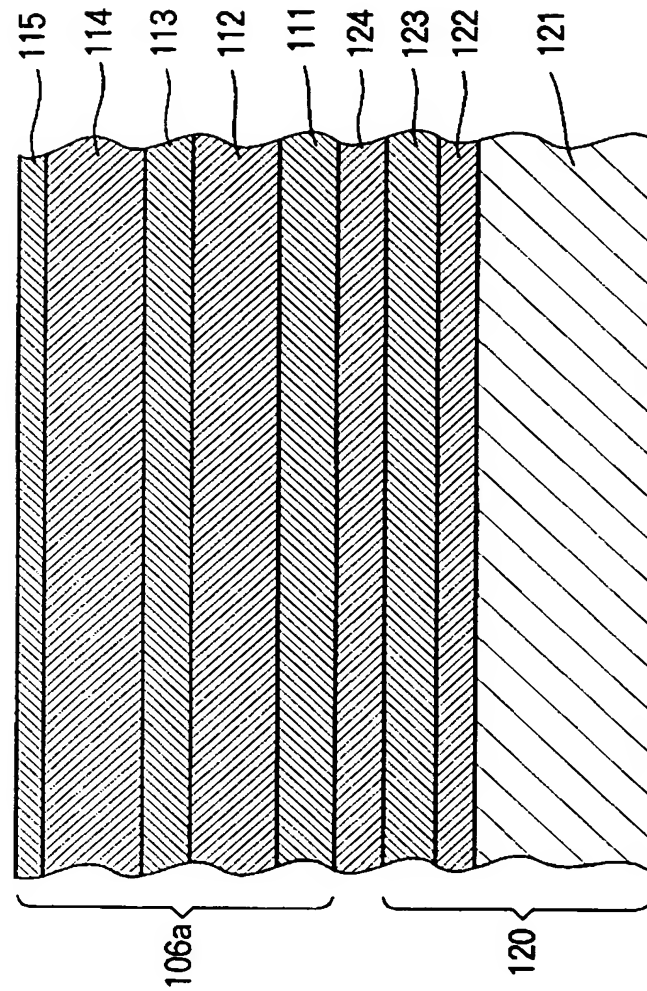


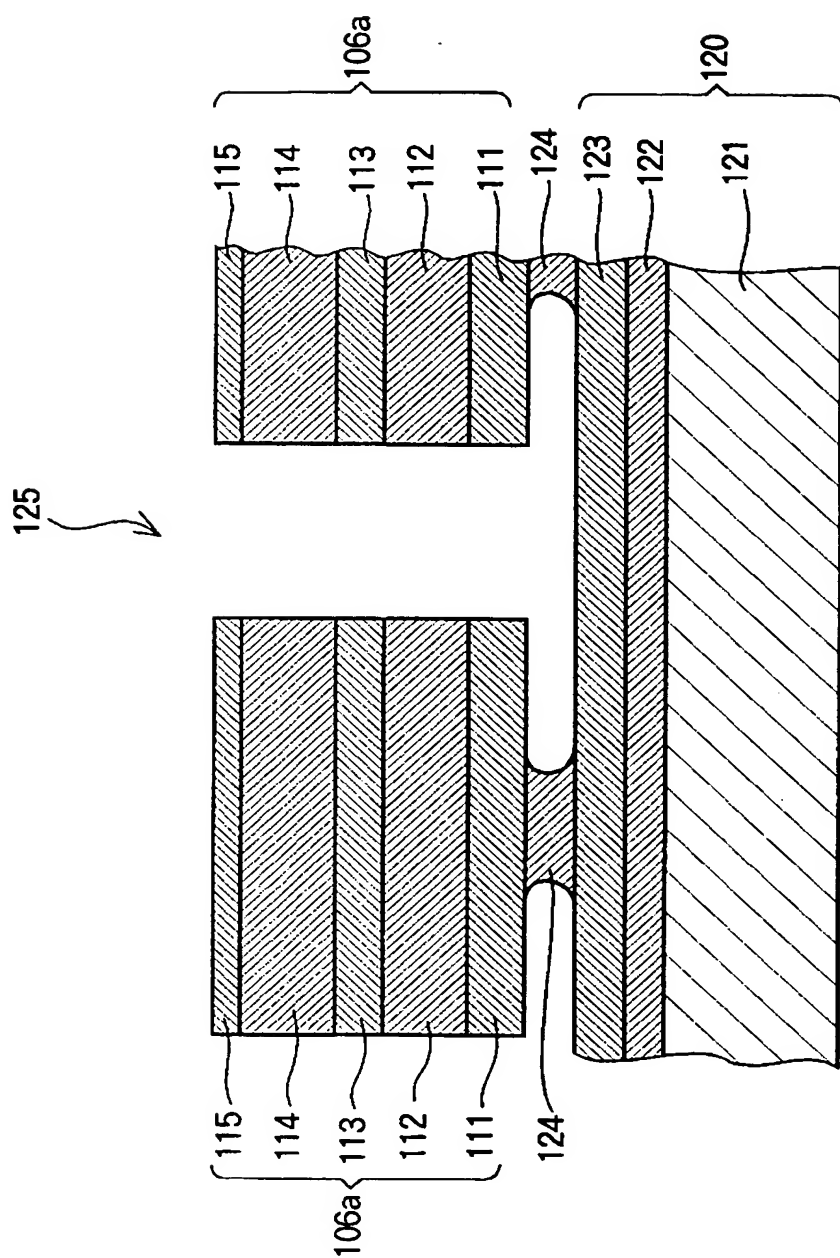
図 2 の S₄-S₄ 線断面図

【図 5】



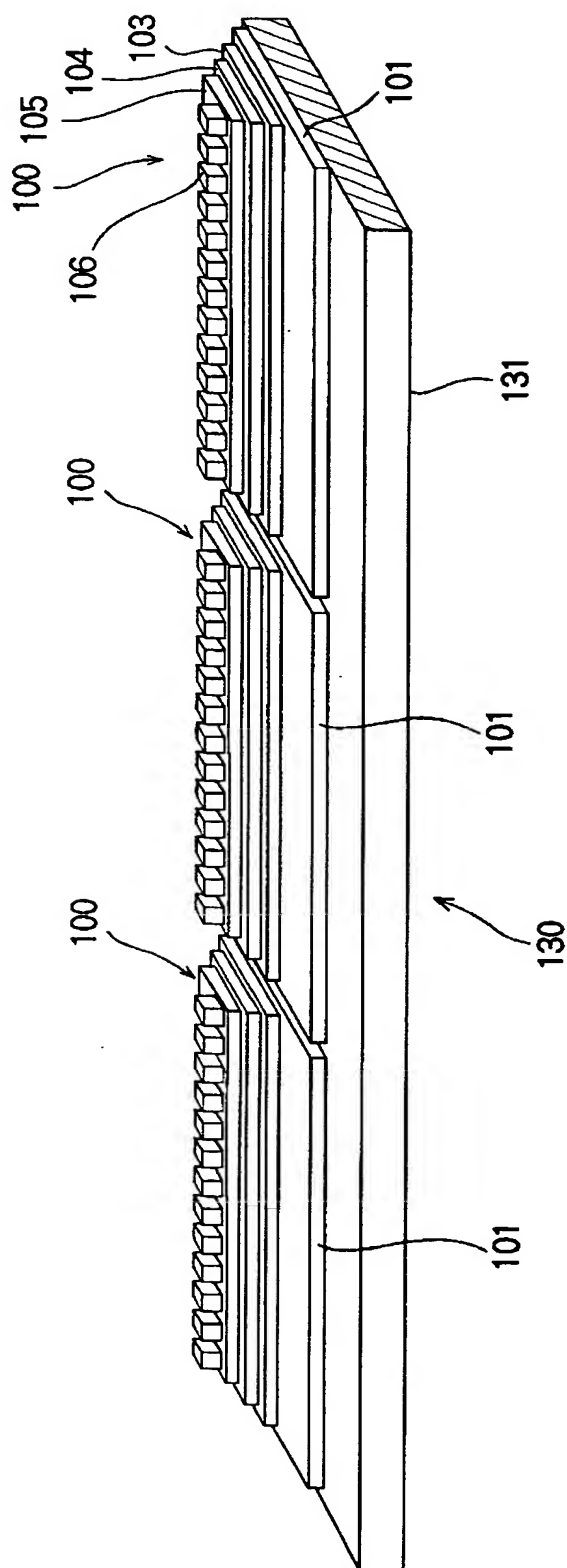
LED エピファイルムの製造プロセス(その 1)

【圖 6】

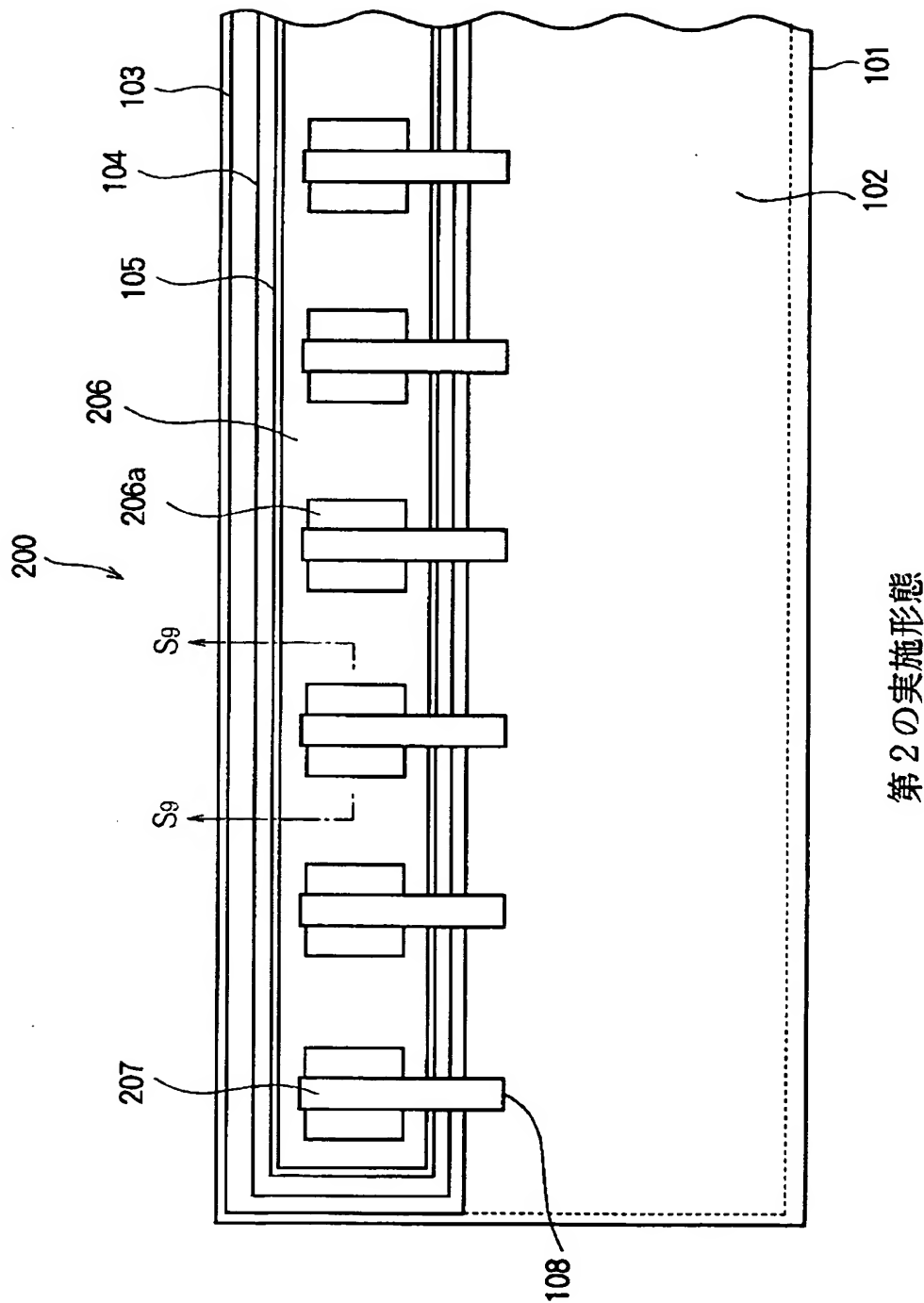


LEDエピファイルムの製造プロセス(その2)

【図 7】



【図 8】



【図 9】

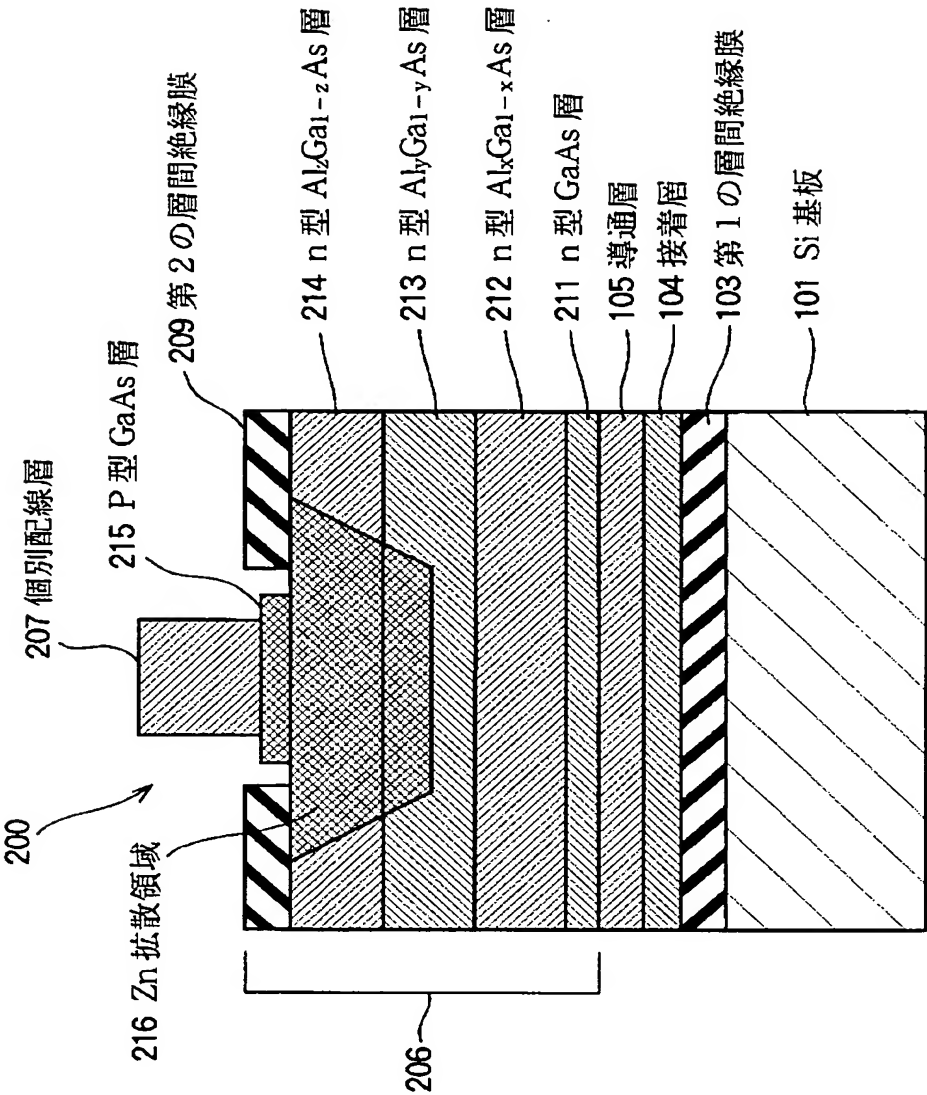
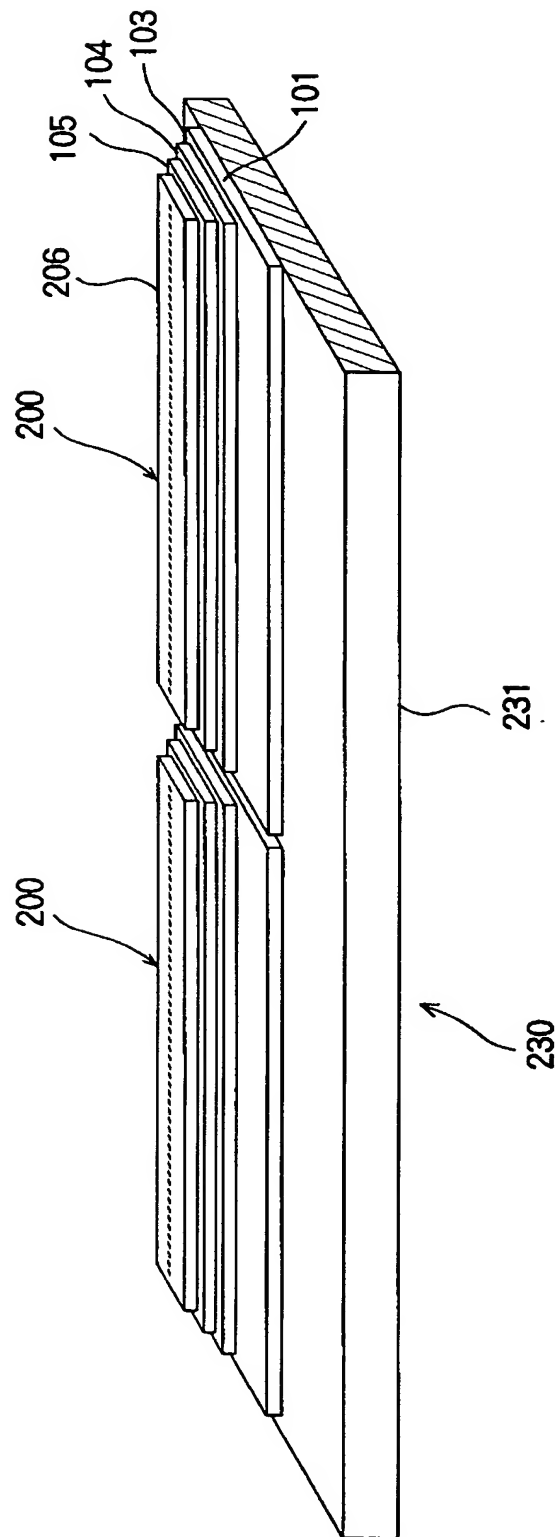
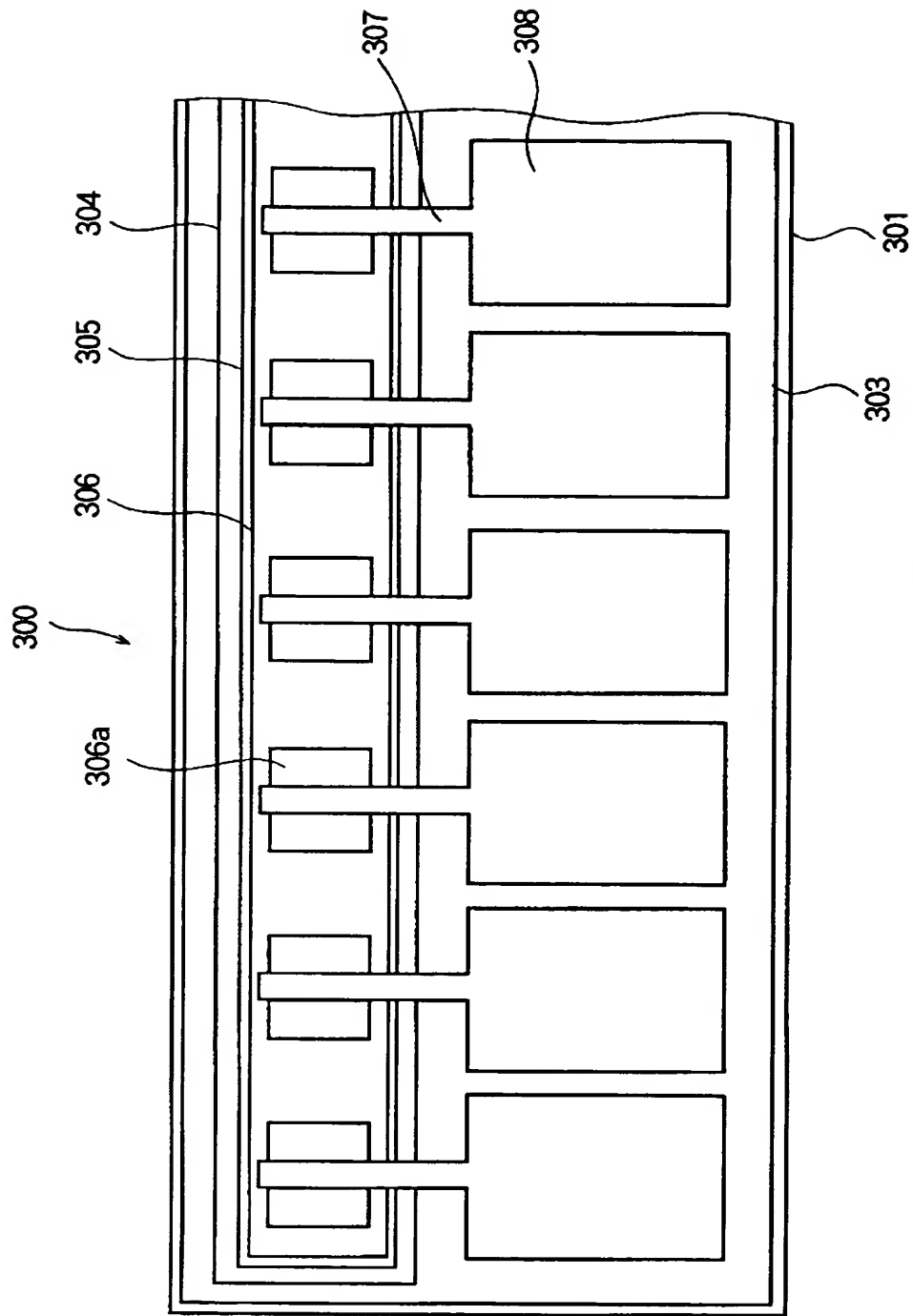


図 8 の S₉-S₉ 線断面図

【図 10】

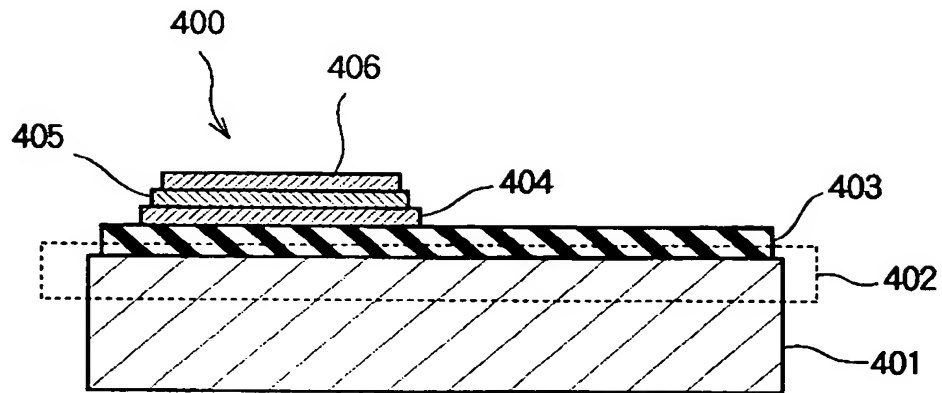


【図 11】



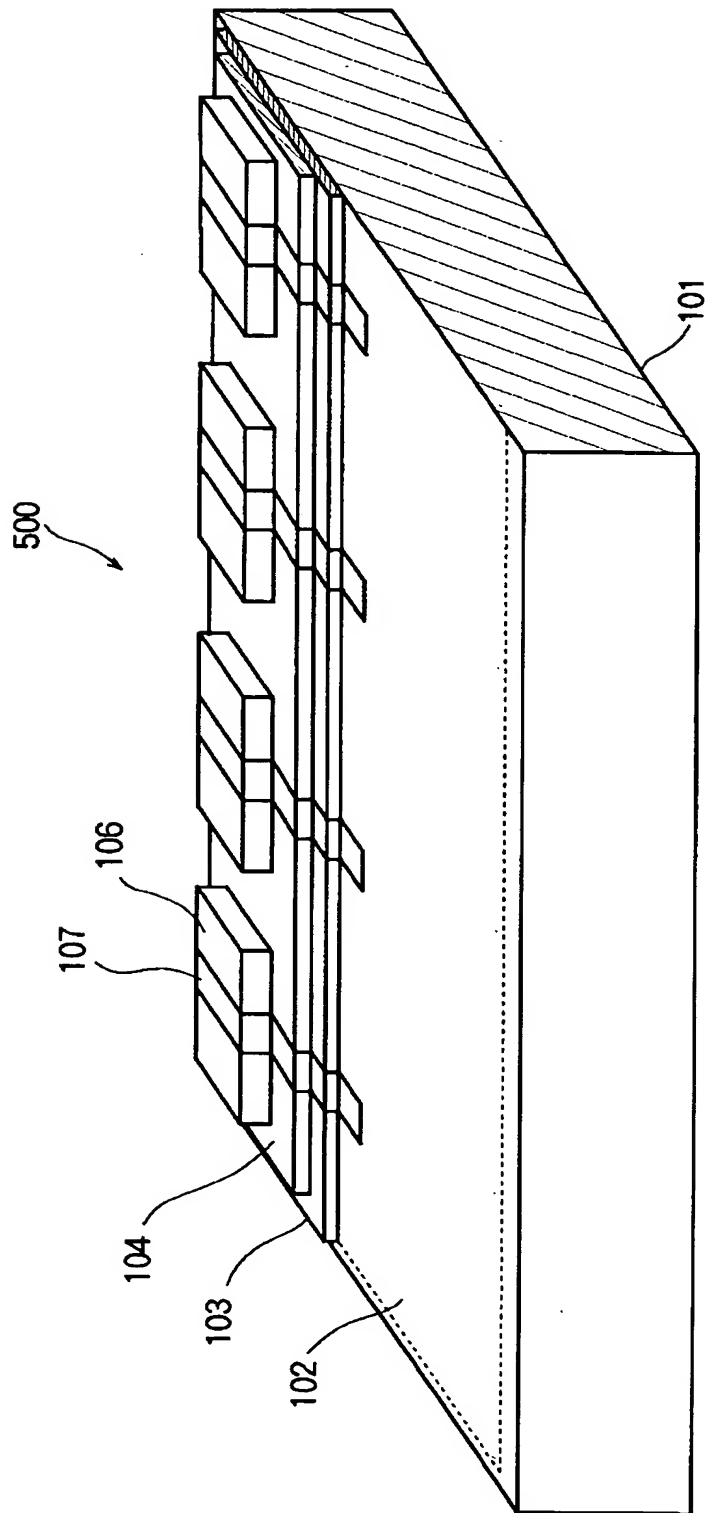
第 3 の実施形態

【図 12】



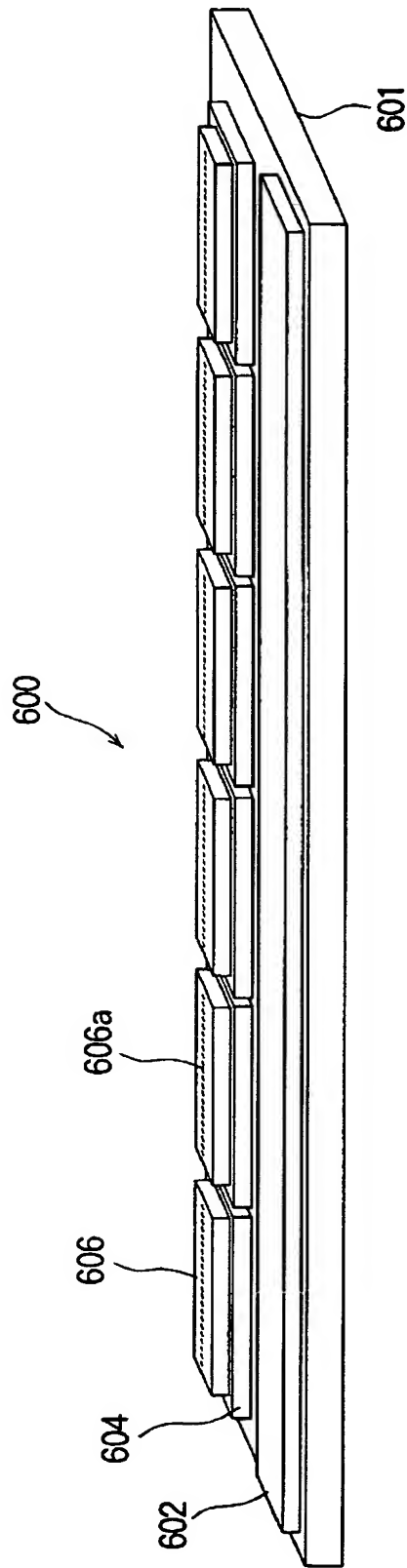
第 4 の実施形態

【図 13】



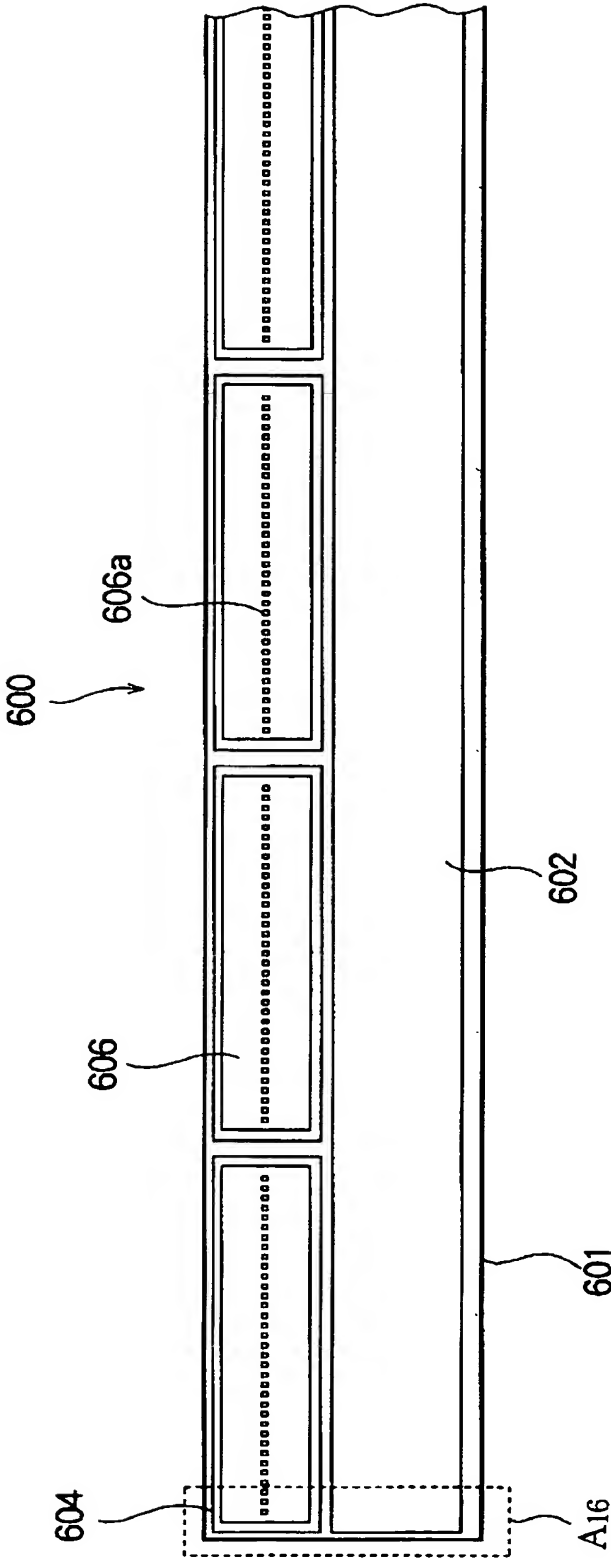
第5の実施形態

【図 14】



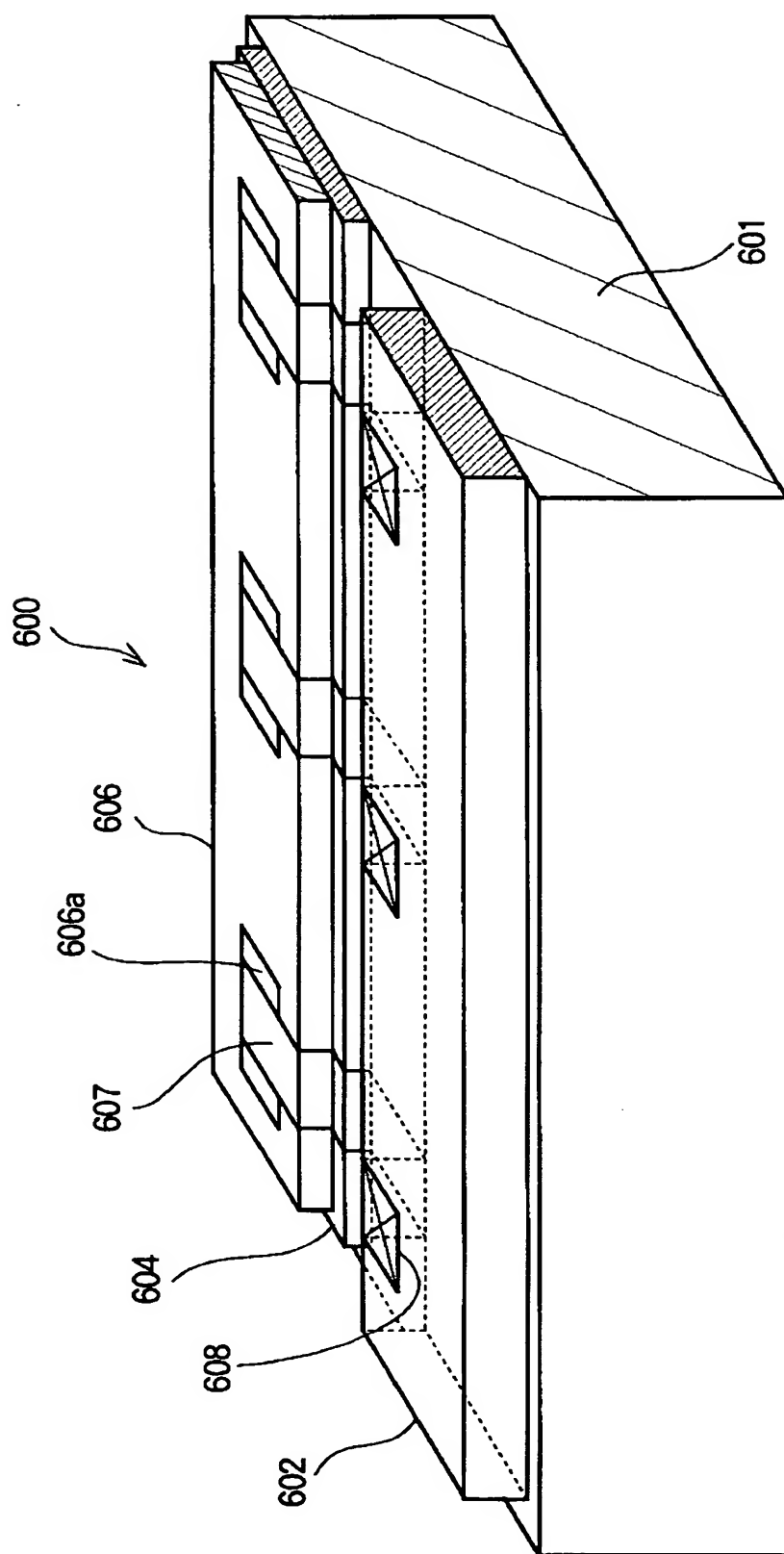
第 6 の実施形態

【図 15】



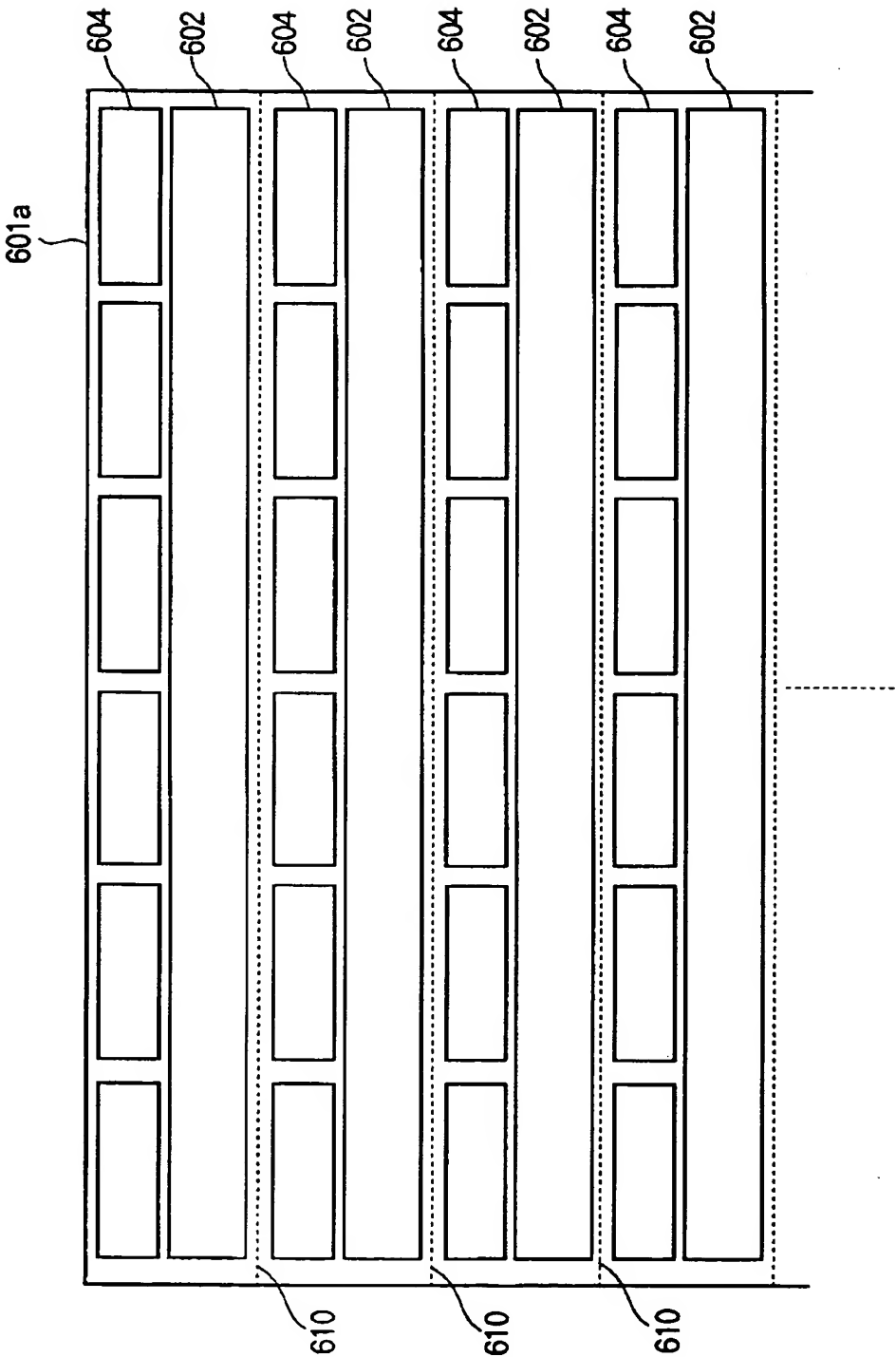
第 6 の実施形態

【図 16】



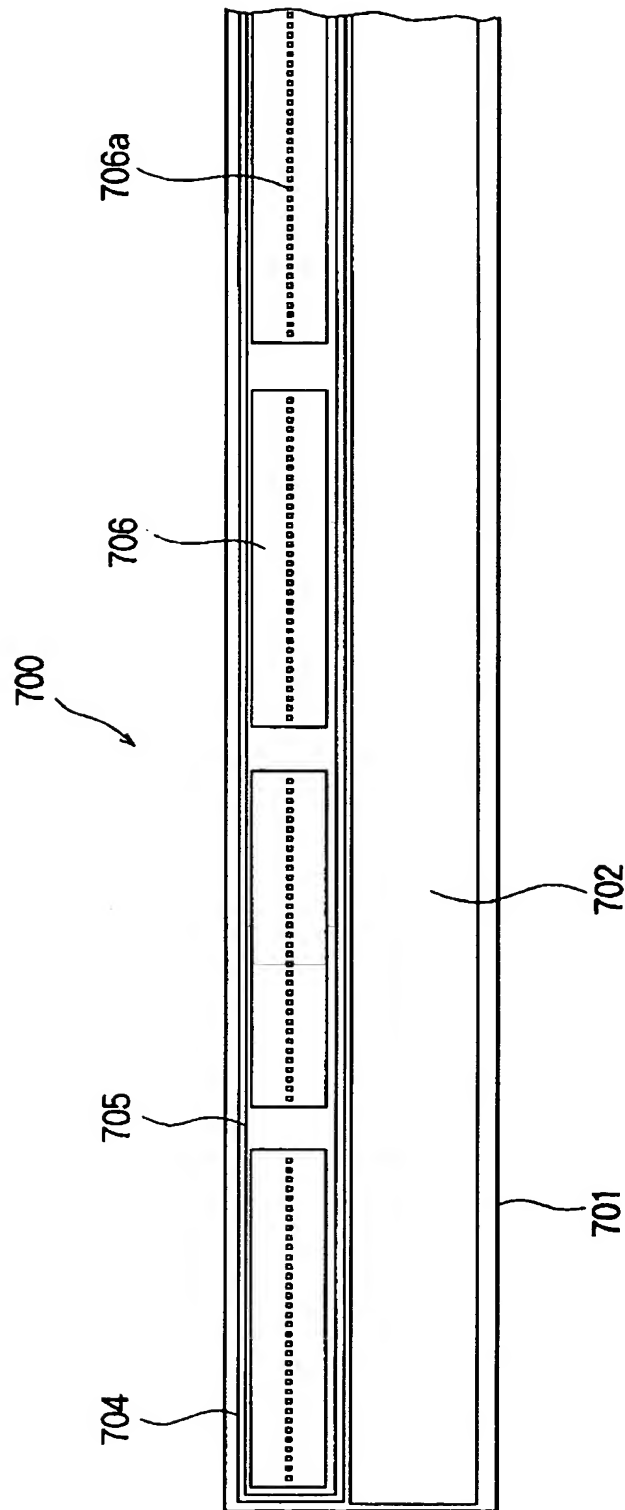
第 6 の実施形態

【図 17】



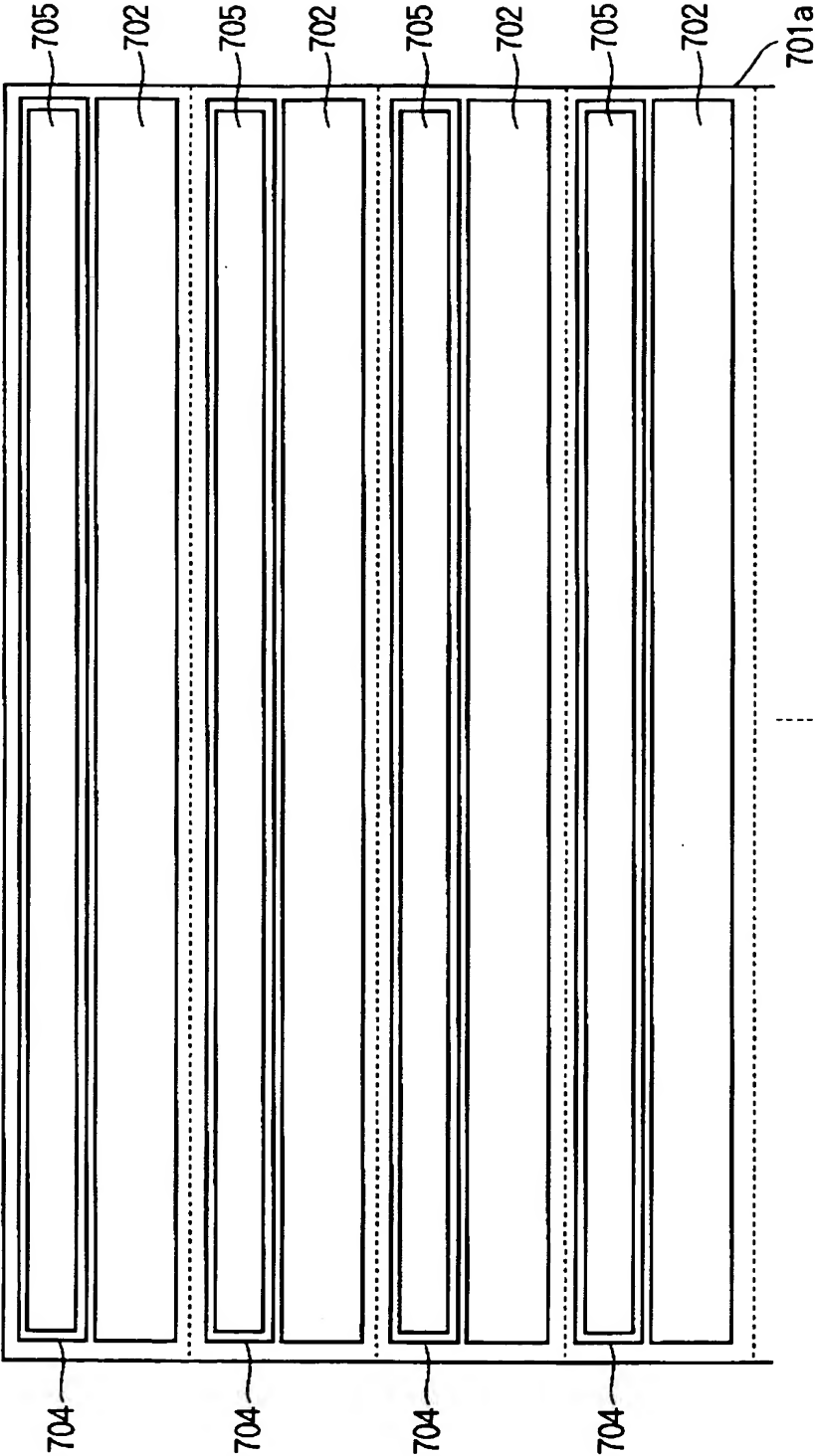
第 6 の実施形態

【図 18】



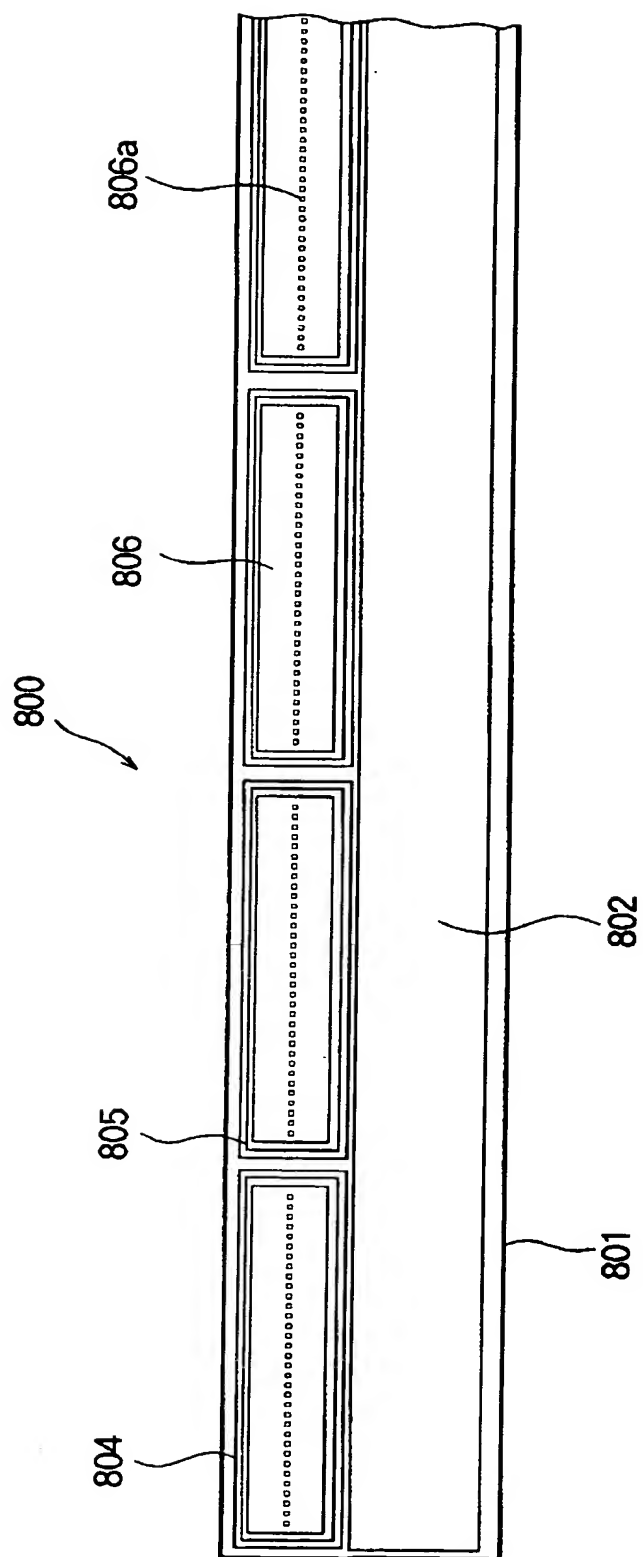
第7の実施形態

【図 19】



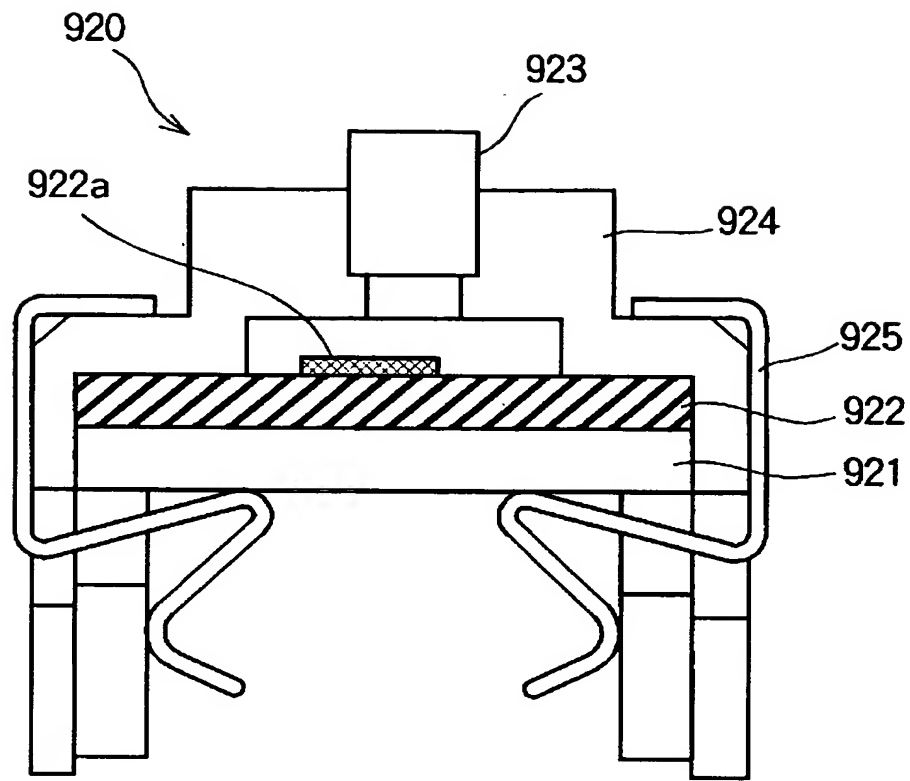
第 7 の実施形態

【図 20】



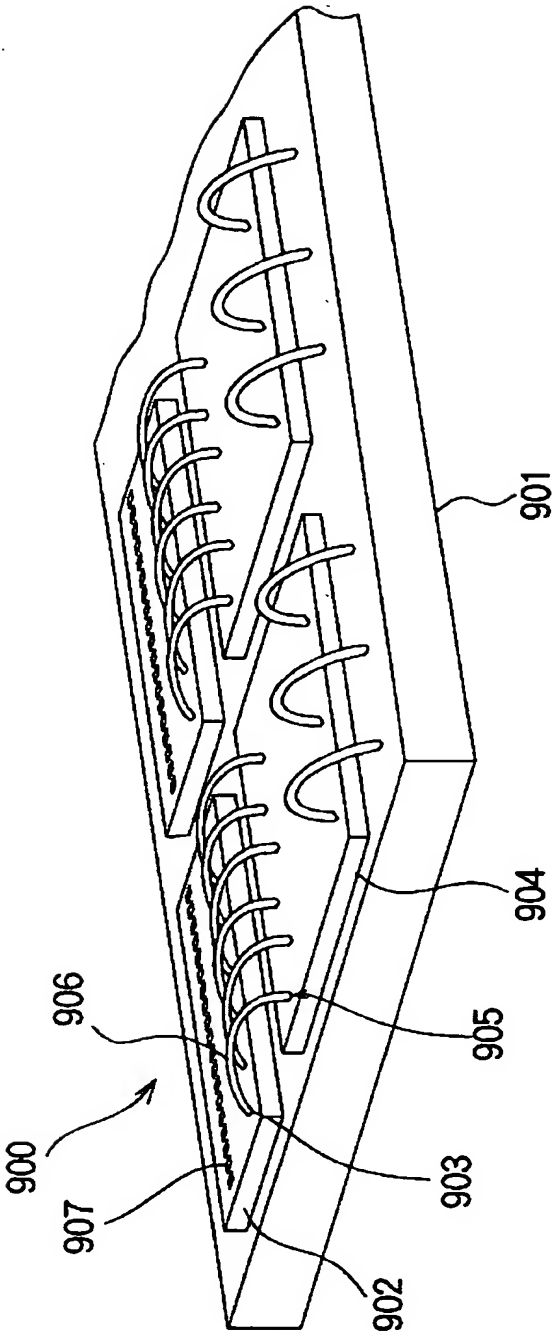
第 8 の実施形態

【図 21】



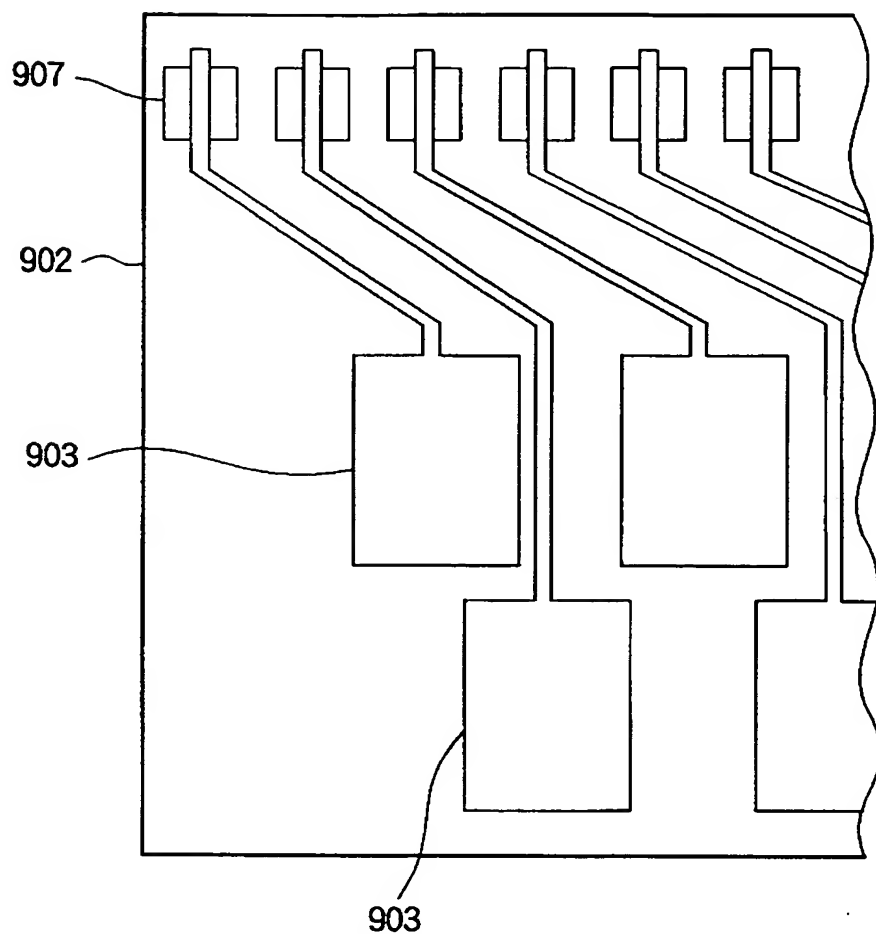
LED プリントヘッド

【図 22】



従来例

【図 23】



従来例

【書類名】 要約書

【要約】

【課題】 小型化及び材料コストの低減を図ることができる半導体装置を提供する。

【解決手段】 半導体装置は、集積回路102を含むSi基板101と、この上に形成された層間絶縁膜103と、この上に形成された接着層104と、この上に形成された導通層105と、この上に貼り付けられたLEDエピタキシャルフィルム106と、LEDエピタキシャルフィルム106上からSi基板101の端子領域108に至る領域に形成された薄膜の個別配線層107とを有する。

【選択図】 図3

特願 2 0 0 2 - 3 7 3 8 8 2

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 4 1 6 4]

1. 変更年月日

2 0 0 1 年 9 月 1 8 日

[変更理由]

住所変更

住 所

東京都港区芝浦四丁目 1 1 番 2 2 号

氏 名

株式会社沖データ

特願 2 0 0 2 - 3 7 3 8 8 2

出 願 人 履 歴 情 報

識別番号

[5 0 0 0 0 2 5 7 1]

1. 変更年月日

1 9 9 9 年 1 2 月 2 0 日

[変更理由]

新規登録

住 所

東京都八王子市東浅川町 5 5 0 番地 - 1

氏 名

株式会社沖デジタルイメージング